ТВЕРДОТЕЛЬНАЯ ЭЛЕКТРОНИКА, МИКРО- И НАНОЭЛЕКТРОНИКА

Известия Саратовского университета. Новая серия. Серия: Физика. 2026. Т. 26, вып. 3. С. 326–337
Izvestiya of Saratov University. Physics, 2026, vol. 26, iss. 3, pp. 326–337
https://fizika.sgu.ru https://doi.org/10.18500/1817-3020-2026-26-3-326-337, EDN: NJKZNA

Научная статья
УДК 004.312.22

Троичные логические устройства последовательностного типа

А. А. Семёнов✉, С. Б. Вениг

Национальный исследовательский государственный университет имени Н. Г. Чернышевского, Россия, 410012, г. Саратов, ул. Астраханская, д. 83

Семёнов Андрей Андреевич, доктор физико-математических наук, профессор кафедры физики твёрдого тела Института физики, sgu-wap@yandex.ru, https://orcid.org/0000-0002-1621-6530, AuthorID: 432570
Вениг Сергей Борисович, доктор физико-математических наук, заведующий кафедрой материаловедения, технологии и управления качеством Института физики, wenigsb@mail.ru, https://orcid.org/0000-0002-4759-5828, AuthorID: 287170

Аннотация. Наличие в системах автоматизированного проектирования работоспособных аналоговых моделей базовых и вспомогательных троичных логических элементов комбинационной логики позволяет корректно моделировать сложные устройства цифровой троичной техники. Но для реализации модели троичного процессора дополнительно необходим особый класс троичных схем – устройства троичной последовательностной логики. Такие схемы, обладают свойством «памяти» и фактически являются «двигателем», приводящим в действие процессорную систему. В связи с этим целью работы являлась разработка троичных логических устройств последовательностного типа, необходимых для создания модели троичного процессора. На основе аналоговых моделей базовых и вспомогательных троичных логических элементов сконструированы асинхронный и синхронный троичные RS-триггеры, троичные статические D-триггеры и D-триггеры с динамическим управлением, счетные триггеры, работающие в режиме инкремента и декремента, асинхронные многоразрядные троичные счётчики. Разработанные устройства наряду с представленными ранее базовыми троичными логическими элементами и узлами комбинационной логики позволяют в дальнейшем реализовать на их основе действующую модель троичного процессора.

Ключевые слова: троичная логика, троичные логические устройства последовательностного типа, модели троичных триггеров и счетчиков, повышение производительности, троичный процессор

Для цитирования: *Семёнов А. А., Вениг С. Б.* Троичные логические устройства последовательностного типа // Известия Саратовского университета. Новая серия. Серия: Физика. 2026. Т. 26, вып. 3. С. 326–337. https://doi.org/10.18500/1817-3020-2026-26-3-326-337, EDN: NJKZNA

Статья опубликована на условиях лицензии Creative Commons Attribution 4.0 International (CC-BY 4.0)

Article

Sequential ternary logic circuits

A. A. Semenov✉, S. B. Venig

Saratov State University, 83 Astrakhanskaya St., Saratov 410012, Russia

Andrey A. Semenov, sgu-wap@yandex.ru, https://orcid.org/0000-0002-1621-6530, AuthorID: 432570
Sergey B. Venig, wenigsb@mail.ru, https://orcid.org/0000-0002-4759-5828, AuthorID: 287170

© Семёнов А. А., Вениг С. Б., 2026

НАУЧНЫЙ ОТДЕЛ

Abstract. ***Background and Objectives*:** The availability of functional analog models of basic and auxiliary ternary logic elements of combinational logic in systems of computer-aided design enables the accurate modeling of complex digital ternary devices. However, implementing a ternary processor model additionally requires a special class of ternary circuits – ternary sequential logic devices. Such circuits possess the property of "memory" and effectively act as the "engine" that drives the processor system. Therefore, the goal of this work was to develop ternary sequential logic devices necessary for creating a ternary processor model. ***Materials and Methods*:** A software package for analysis and automatic design of electronic circuits was used for developing sequential ternary logic circuits. This program made it possible to analyze transient processes, parameters and interaction features of the developed ternary logic circuits. ***Results*:** Based on analog models of basic and additional ternary logic elements, ternary asynchronous and synchronous RS flip-flop, ternary static D-latch and two-stage master-slave D-flip-flop, ternary counting up and counting down trigger, ternary asynchronous multi-trit counter have been designed. ***Conclusion*:** The developed devices, along with the previously presented basic ternary logic elements and combinational logic units, make it possible to further implement a working model of a ternary processor based on them.

Keywords: ternary logic, sequential ternary logic devices, ternary flip-flop and counter models, performance improvement, ternary processor

For citation: Semenov A. A., Venig S. B. Sequential ternary logic circuits. *Izvestiya of Saratov University. Physics*, 2026, vol. 26, iss. 3, pp. 326–337 (in Russian). https://doi.org/10.18500/1817-3020-2026-26-3-326-337, EDN: NJKZNA

This is an open access article distributed under the terms of Creative Commons Attribution 4.0 International License (CC-BY 4.0)

Введение

Одним из возможных способов повышения производительности микропроцессоров без отказа от привычных и отлаженных технологий может быть переход цифровой техники от двоичной основы к троичной системе счисления [1]. Авторами работ [1–3] были созданы модели троичных логических элементов комбинационного типа. Но существует класс задач, которые нельзя решить лишь путем формирования комбинационных функций текущих значений входных сигналов, а которые требуют знания их прежнего состояния. Для решения этих задач необходимо применять схемы «последовательностного» типа, состояние выходов которых в определённый момент времени зависит не только от комбинации сигналов на входах, но и от последовательности их подачи, то есть, такие схемы обладают «памятью». Основным устройством для построения схем такого типа в двоичной логике является асинхронный RS-триггер.

1. Асинхронный троичный RS-триггер

Триггером в двоичной логике принято называть логическое устройство последовательностного типа с обратными связями, обладающее двумя состояниями устойчивого равновесия (иначе говоря, триггер – это бистабильная ячейка). Схема асинхронного двоичного RS-триггера на основе логических элементов «И-НЕ» представлена в [4, гл. 8].

Триггер имеет: а) два информационных входа S (от англ. Set – «*установка*») и R (от англ. Reset – «*сброс*»), б) два выхода: Q (от англ. Quit – «*выход*») и инверсный /Q (символ «/» здесь и далее обозначает инверсию сигнала).

Триггер может быть *установлен* активным уровнем логического сигнала по входу S (при этом на выходе Q устанавливается логическая «1») или *сброшен* по входу R (при этом на выходе Q – логический «0»). Триггер такого типа называют асинхронным, поскольку он может быть установлен или сброшен в любой произвольный момент времени.

Таблица переходов RS-триггера, представленная в [4, гл. 8], иллюстрирует основные свойства этого устройства. Будучи установленным (Set) или сброшенным (Reset), триггер не реагирует в дальнейшем на состояние этого управляющего входа и сохраняет свое состояние, пока не будет переключен по другому управляющему входу активным уровнем. Это свидетельствует о наличии у триггера способности запоминать и хранить своё состояние, а также иллюстрирует его принадлежность к устройствам *последовательностного* (*sequential*) типа, состояние выходов которых в определённый момент времени зависит не только от комбинации сигналов на входах, но и от последовательности их подачи. Режиму хранения соответствует комбинация /S = «1», /R = «1». Асинхронный RS-триггер имеет запрещенное состояние: /S = «0», /R = «0», при котором нарушается логика его работы, заключающаяся в том, что выходы триггера (прямой Q и инверсный /Q) всегда находятся в противофазе. Запрещенное состояние является неустойчивым, изменение хотя бы одного из входных сигналов приводит к выходу из этого состояния.

На основе двух троичных логических элементов «INV_MIN» [1, 3] – аналогов двоичных вентилей «И-НЕ» – была реализована модель троичного RS-триггера, представленная на рис. 1.

Резисторы R1 и R2 задают на информационных входах /S и /R уровни логического значения «+1»; кнопки /S и /R обеспечивают подачу на информационные входы троичной логического

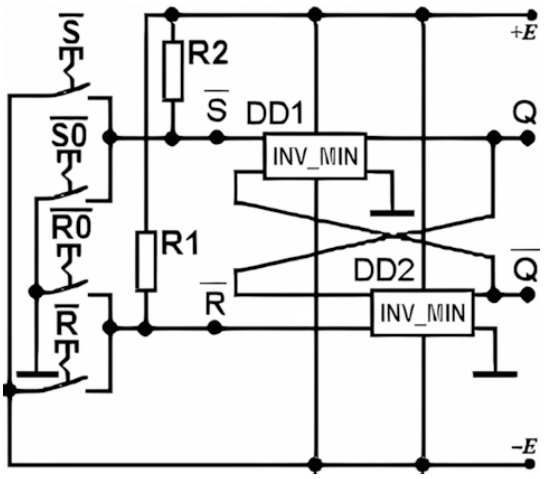


Рис. 1. Принципиальная электрическая схема асинхронного троичного RS-триггера на элементах «INV_MIN»

Fig. 1. Ternary asynchronous RS flip-flop, based on logic «INV_MIN» elements, schematic diagram

значения «–1», а кнопки /S0 и /R0 – подачу троичного логического значения «0». В неустоявшейся окончательно терминологии троичной логики это устройство принято называть «*триттером*», чтобы отличать от его двоичного аналога. С помощью схемы, изображенной на рис. 1, в среде схемотехнического моделирования используемого пакета САПР [5, 6] была измерена таблица логических переходов модели RS-триттера.

Согласно представленным в таблице данным, можно сформулировать следующие свойства RS-триттера.

Активный низкий уровень напряжения (сигнал «–1») на входе /S осуществляет установку троичного RS-триттера – переход в состояние Q = = 1, /Q = –1 – при условии, что на входе /R сигнал логической единицы «+1».

Активный низкий уровень напряжения (сигнал «–1») на входе /R осуществляет сброс троичного RS-триттера – переход в состояние Q = –1, Q = 1 при условии, что на входе /S сигнал логической единицы «1».

Будучи установленным или сброшенным, RS-триттер не реагирует в дальнейшем на сигналы соответствующего управляющего входа и сохраняет свое состояние, пока не будет переключен по другому управляющему входу активным уровнем. Так же, как и двоичный прототип, RS-триттер хранит своё состояние при /S = 1, /R = 1.

Очевидно, что эти свойства характерны и для двоичного прототипа асинхронного RS-триттера. Но RS-триттер имеет и свои уникальные свойства, обусловленные логикой работы троичных вентилей «И–НЕ».

При включении RS-триттер устанавливается обычно в состояние «не определено»: Q = 0, /Q = 0.

Будучи установленным, RS-триттер может быть сброшен в состояние неопределенности Q = = 0, /Q = 0 только по входу /R логическим уровнем «0». Будучи сброшенным, RS-триттер может быть установлен в состояние «не определено» Q = 0, /Q = 0 только по входу /S логическим уровнем «0».

Асинхронный RS-триттер имеет несколько запрещенных состояний при /S = –1, /R = –1; /S = –1, /R = 0; /S = 0, /R = –1, поскольку при этом нарушается логика его работы, предполагающая, что выходы Q и /Q всегда находятся в противофазе. Такие состояния неустойчивы.

Далее в рамках троичной логики будем использовать термин триггер. Таким образом, показано, что схемотехнически асинхронный троичный RS-триггер может быть реализован идентично двоичному RS-триггеру по схеме из двух логических вентилей «И» с инверсией и перекрёстными обратными связями.

2. Синхронный троичный RS-триггер

Очевидно, что троичный RS-триггер унаследовал от двоичного устройства такие неудобные с точки зрения схемотехники синхронных цифровых систем свойства, как асинхронность и наличие «запрещённого» состояния, при котором логика его работы нарушается. С учётом того, что все сложные цифровые системы, к которым относится и процессор, строятся по синхронному принципу, что обеспечивает надежность их работы и помехоустойчивость, в конструкции троичного асинхронного RS-триггера было реализовано схемотехническое решение, известное в двоичной цифровой технике [4, гл. 8]. На входы /S и /R устройства были подключены троичные вентили «INV_MIN», которые пропускают сигналы, инвертируя их на входе при наличии логической единицы на втором входе (рис. 2).

При этом изменение логических сигналов на входах /S и /R будет возможно лишь при наличии разрешающего сигнала логической «1» на входе «C», называемого так от английского «CLOCK» («ТАКТ»). Следовательно, асинхронный троичный RS-триггер становится в таком случае тактируемым или синхронным. Кнопки /S и /R, а также /S0 и /R0 обеспечивают тот же функционал, что и при исследовании асинхронного RS-триггера.

Модель синхронного RS-триггера была реализована в среде схемотехнического моделирования

Таблица 1 / Table 1

Логические состояния модели троичного асинхронного RS-триггера

Ternary asynchronous RS flip-flop model logical states

№	/S	/R	Q_{n-1}	$/Q_{n-1}$	Q_n	$/Q_n$	Режим
0	1	1	–	–	0	0	Исходное состояние
1	0	+1	0	0	0	0	Установка в 0
2	+1	+1	0	0	0	0	Хранение
3	–1	+1	0	0	+1	–1	Установка в +1
4	+1	+1	+1	–1	+1	–1	Хранение
5	0	+1	+1	–1	+1	–1	Хранение
6	+1	+1	+1	–1	+1	–1	Хранение
7	+1	0	+1	–1	0	0	Сброс в 0
8	+1	+1	0	0	0	0	Хранение
9	+1	–1	0	0	–1	+1	Сброс в –1
10	+1	+1	–1	+1	–1	+1	Хранение
11	+1	0	–1	+1	–1	+1	Хранение
12	+1	+1	–1	+1	–1	+1	Хранение
13	0	+1	–1	+1	0	0	Установка в 0
14	+1	+1	0	0	0	0	Хранение
15	–1	+1	0	0	+1	–1	Установка в +1
16	+1	+1	+1	–1	+1	–1	Хранение
17	0	+1	+1	–1	+1	–1	Хранение
18	0	0	+1	–1	0	0	Безусловный переход в 0
19	0	+1	0	0	0	0	Установка в 0
20	+1	+1	0	0	0	0	Хранение
21	+1	–1	0	0	–1	+1	Сброс в –1
22	+1	+1	–1	+1	–1	+1	Хранение
23	+1	0	–1	+1	–1	+1	Хранение
24	0	0	–1	+1	0	0	Безусловный переход в 0
25	0	+1	0	0	0	0	Установка в 0
26	+1	+1	0	0	0	0	Хранение
27	–1	+1	0	0	+1	–1	Установка в +1
28	+1	+1	+1	–1	+1	–1	Хранение
29	0	+1	+1	–1	+1	–1	Хранение
30	0	–1	+1	–1	0	+1	Неустойчивое состояние
31	0	+1	0	+1	0	0	Установка в 0
32	+1	+1	0	0	0	0	Хранение
33	+1	–1	0	0	–1	+1	Сброс в –1
34	+1	+1	–1	+1	–1	+1	Хранение
35	+1	0	–1	+1	–1	+1	Хранение
36	–1	0	–1	+1	+1	0	Неустойчивое состояние
37	+1	0	+1	0	0	0	Сброс в 0
38	+1	+1	0	0	0	0	Хранение
39	–1	–1	0	0	+1	+1	Неустойчивое состояние
40	+1	+1	+1	+1	+1	–1	Хранение

используемого пакета САПР [5, 6], где и была измерена таблица его логических переходов.

При наличии разрешающего сигнала логической «+1» на входе С таблица логических переходов с точностью до инверсии входных сигналов фактически повторяет аналогичную таблицу асинхронного RS-триггера (табл. 2). При подаче запрещающего сигнала логической «–1» на вход С устройство переходило в режим хранения.

Таким образом, продемонстрирована возможность создания синхронного троичного RS-триггера на основе троичных логических элементов комбинационного типа [1, 2].

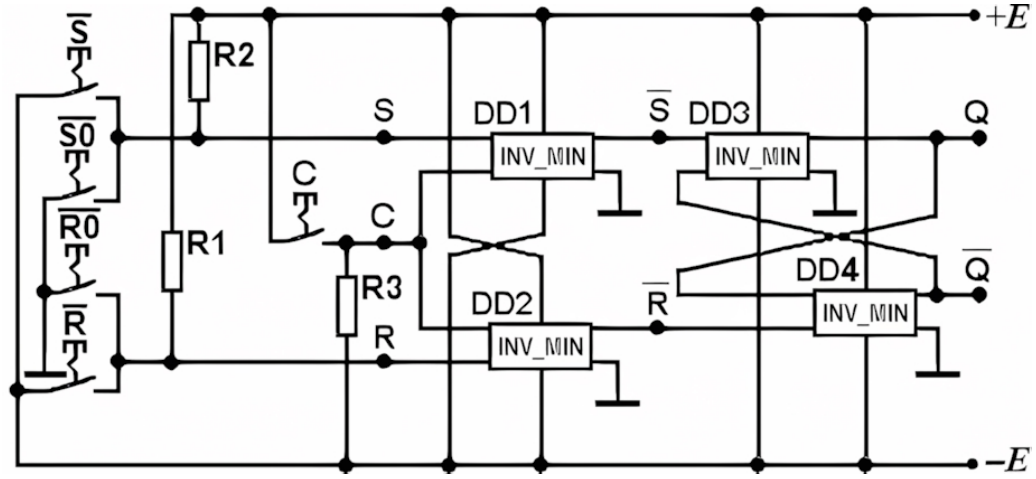


Рис. 2. Принципиальная электрическая схема троичного синхронного RS-триггера на элементах «INV_MIN»
Fig. 2. Ternary synchronous RS flip-flop, based on logic «INV_MIN» elements, schematic diagram

3. Синхронный троичный D-триггер со статическим управлением

С целью исключения возможности возникновения запрещённой логической комбинации на входах /S и /R троичного RS-триггера входные троичные логические элементов «INV_MIN» были соединены так, как представлено на рис. 3 [7, с. 150]. Сигналы /R и /S на входах RS-триггера при таком включении всегда в противофазе, следовательно, запрещенного состояния не возникает. В таком виде схема представляет собой синхронный троичный D-триггер со статическим управлением, который имеет единственный информационный вход D и тактовый вход C .

Резистор R1 задаёт на информационном входе D уровень логической «+1», резистор R2 – уровень логической «–1» на тактовом входе C. Кнопки /D и /D0 обеспечивают подачу на информационный вход D уровня троичной логической «–1» и троичного логического «0» соответственно. Кнопкой C на тактовый вход подаётся уровень троичной логической «+1».

С помощью схемы приведенной на рис. 3, была определена таблица логических переходов устройства (табл. 3).

Из результатов, приведенных в табл. 3, следует, что при поступлении на вход синхронизации логической «+1» (высокий уровень напряжения), троичный D-триггер включается в режим записи (становится прозрачным для входных сигналов), считывая информацию на входе D и передавая её на выходы. Возможна запись одного из трёх логических состояний: «+1», «0» и «–1».

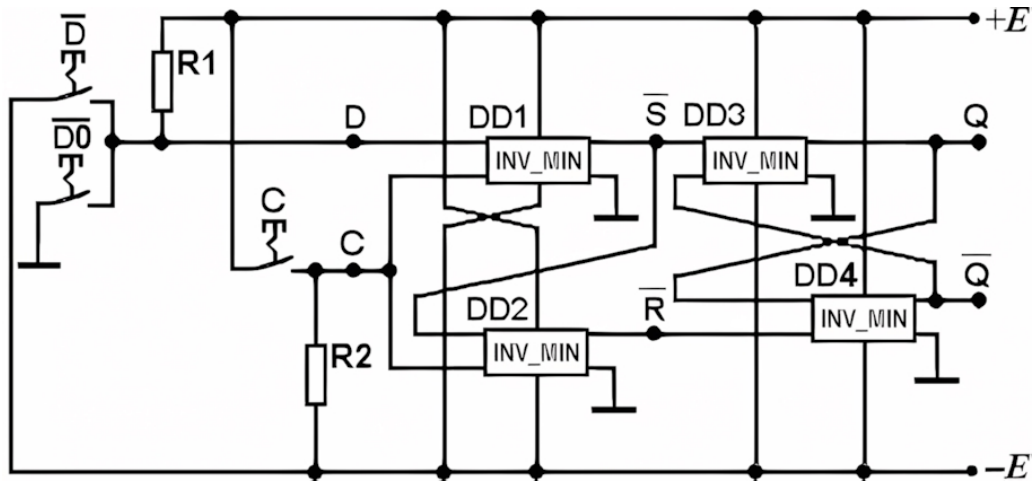


Рис. 3. Принципиальная электрическая схема синхронного троичного D-триггера со статическим управлением
Fig.3. Synchronous ternary static D-latch circuit diagram

Таблица 2 / Table 2

Логические состояния модели троичного синхронного RS-триггера

Ternary synchronous RS flip-flop model logical states

№	C	S	R	Q_{n-1}	$/Q_{n-1}$	Q_n	$/Q_n$	Режим
0	+1	–1	–1	–	–	0	0	Исходное состояние
1	+1	0	–1	0	0	0	0	Установка в 0
2	+1	–1	–1	0	0	0	0	Хранение
3	+1	+1	–1	0	0	+1	–1	Установка в +1
4	+1	–1	–1	+1	–1	+1	–1	Хранение
5	+1	0	–1	+1	–1	+1	–1	Хранение
6	+1	–1	–1	+1	–1	+1	–1	Хранение
7	+1	–	0	+1	–1	0	0	Сброс в 0
8	+1	–	–1	0	0	0	0	Хранение
9	+1	–1	+1	0	0	–1	+1	Сброс в –1
10	+1	–1	–1	–1	+1	–1	+1	Хранение
11	+1	–1	0	–1	+1	–1	+1	Хранение
12	+1	–1	–1	–1	+1	–1	+1	Хранение
13	+1	0	–1	–1	+1	0	0	Установка в 0
14	+1	–1	–1	0	0	0	0	Хранение
15	+1	+1	–1	0	0	+1	–1	Установка в +1
16	+1	–1	–1	+1	–1	+1	–1	Хранение
17	+1	0	–1	+1	–1	+1	–1	Хранение
18	+1	0	0	+1	–1	0	0	Безусловный переход в 0
19	+1	0	-1	0	0	0	0	Хранение
20	+1	–1	–1	0	0	0	0	Хранение
21	+1	–1	+1	0	0	–1	+1	Сброс в –1
22	+1	–1	–1	–1	+1	–1	+1	Хранение
23	+1	–1	0	–1	+1	–1	+1	Хранение
24	+1	0	0	–1	+1	0	0	Безусловный переход в 0
25	+1	0	–1	0	0	0	0	Установка в 0
26	+1	–1	–1	0	0	0	0	Хранение
27	+1	+1	–1	0	0	+1	–1	Установка в +1
28	+1	–1	–1	+1	–1	+1	–1	Хранение
29	+1	0	–1	+1	–1	+1	–1	Хранение
30	+1	0	+1	+1	–1	0	+1	Неустойчивое состояние
31	+1	0	–1	0	+1	0	0	Установка в 0
32	+1	–1	–1	0	0	0	0	Хранение
33	+1	–1	+1	0	0	–1	+1	Сброс в –1
34	+1	–1	–1	–	+1	–1	+1	Хранение
35	+1	–1	0	–1	+1	–1	+1	Хранение
36	+1	+1	0	–1	+1	+1	0	Неустойчивое состояние
37	+1	–1	0	+1	0	0	0	Сброс в 0
38	+1	–1	–1	0	0	0	0	Хранение
39	+1	+1	+1	0	0	+1	+1	Неустойчивое состояние
40	+1	–1	–1	+1	–1	+1	–1	Возврат в +1
41	–1	–1	–1	+1	–1	+1	–1	Хранение
42	–1	+1	–1	+1	–1	+1	–1	Хранение

При подаче на вход синхронизации логической «–1» (низкий уровень напряжения), триггер хранит записанную информацию.

При включении синхронный троичный D-триггер устанавливается в устойчивое логическое состояние Q = «0», /Q = «0».

Подача на вход синхронизации логического «0» противоречит логике работы троичного D-триггера, и такой режим считается нештатным.

Во избежание нештатной работы синхронных троичных триггеров со статическим управлением сигнал на тактовом входе C должен иметь

Таблица 3 / Table 3

Логические состояния модели троичного синхронного D-триггера

Ternary synchronous static D-latch model logical states

№	D	C	/S	/R	Q_{n-1}	$/Q_{n-1}$	Q_n	$/Q_n$	Режим
0	+1	–1	+1	+1	–	–	0	0	Исходное состояние
1	0	–1	+1	+1	0	0	0	0	Хранение
2	+1	–1	+1	+1	0	0	0	0	Хранение
3	–1	–1	+1	+1	0	0	0	0	Хранение
4	+1	–1	+1	+1	0	0	0	0	Хранение
5	+1	+1	–1	+1	0	0	+1	–1	Запись +1
6	+1	–1	+1	+1	+1	–1	+1	–1	Хранение
7	0	–1	+1	+1	+1	–1	+1	–1	Хранение
8	+1	–1	+1	+1	+1	–1	+1	–1	Хранение
9	–1	–1	+1	+1	+1	–1	+1	–1	Хранение
10	–1	+1	+1	–1	+1	–1	–1	+1	Запись –1
11	–1	–1	+1	+1	–1	+1	–1	+1	Хранение
12	+1	–1	+1	+1	–1	+1	–1	+1	Хранение
13	0	–1	+1	+1	–1	+1	–1	+1	Хранение
14	0	+1	0	0	–1	+1	0	0	Запись 0
15	0	–1	+1	+1	0	0	0	0	Хранение
16	+1	–1	+1	+1	0	0	0	0	Хранение

небольшую длительность, а также крутые фронты. Для этого рекомендуется осуществлять управление синхронными троичными триггерами выходом двоичного логического элемента или троичного унарного декодера [2].

4. Синхронный троичный двухступенчатый D-триггер типа «ведущий – ведомый» с динамическим управлением

Рассмотренные схемы троичных синхронных триггеров являются одноступенчатыми. И как уже было отмечено, применение одноступенчатых статических синхронных триггеров в качестве самостоятельных узлов счетных схем весьма и весьма ограничено фактом их «прозрачности», что может привести к неустойчивой работе последовательностных схем, выполненных на их основе.

В двухступенчатых триггерах входная и выходная ступени между собой тактируются «асинхронно», прием информации в них разрешается поочередно. Следствием этого является отсутствие режима «прозрачности» триггера при любом уровне синхросигнала, что позволяет реализовать любые типы триггеров, свободные от режимов генерации, и дает возможность построения синхронных автоматов без опасных временных состязаний.

Один из возможных вариантов схемотехнического исполнения троичного двухступенчатого триггера приведен на рис. 4.

Троичные логические элементы DD1–DD4 образуют синхронный троичный D-триггер со статическим управлением, аналогичный схеме на рис. 3. На основе троичных логических элементов DD6–DD9 выполнен синхронный троичный RS-триггер, как на схеме рис. 2. Троичный логический элемент DD5, включенный по схеме инвертора, передаёт сигнал синхронизации C входного троичного D-триггера на вход C синхронного троичного RS-триггера в противофазе. Выходы троичного D-триггера подключены непосредственно к входам S и R троичного синхронного RS-триггера.

Первая ступень – ведущая, или M-секция (от английского Master, «хозяин»), принимает информацию с входной информационной линии D. Состояние выходов ведущей секции подается на вторую – ведомую, секцию или S-секцию (от английского Slave, «раб»).

Изменение состояния выхода ведущего D-триггера будет происходить в момент появления положительного импульса синхронизации, и эти изменения будут переданы на входы ведомого триггера. Однако никакие изменения на выходе ведомого триггера не будут происходить до тех пор, пока не появится положительный сигнал инвертированного импульса синхронизации C, т. е. отрицательный фронт (задний фронт, срез) входного синхроимпульса. Следовательно, изменения на выходах Q и /Q не произойдут до тех пор, пока не завершится импульс синхронизации.

В каждый момент времени синхроимпульс разрешает работу лишь одному из триггеров, а запись информации в выходной триггер происходит лишь

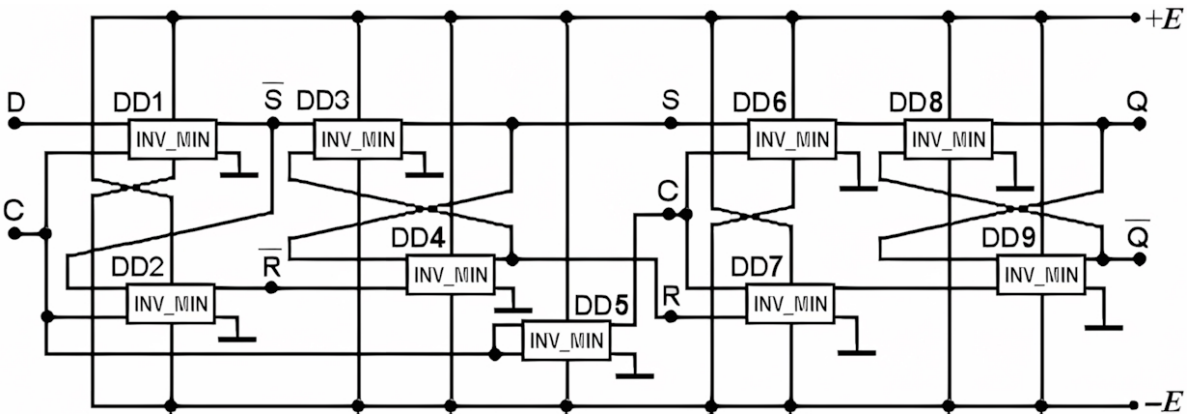


Рис. 4. Принципиальная электрическая схема синхронного двухступенчатого D-триггера типа «ведущий-ведомый» с динамическим управлением

Fig. 4. Synchronous ternary two-stage master-slave D-flip-flop with dynamic control circuit diagram

за весьма короткий момент времени изменения тактового сигнала.

Очевидно, что D-триггер типа «ведущий – ведомый» «непрозрачен» по своему принципу работы. Триггеры, записывающие информацию с информационных входов по фронту или спаду тактового импульса, получили название динамических.

На вход D троичного двухступенчатого триггера подавался трёхуровневый сигнал, сформированный троичным инвертором из синусоидального сигнала частотой 500 Гц и амплитудой 6 В.

На вход C подавался импульсный синхросигнал частотой 3 кГц, амплитудой 12 В и скважностью 50 от отдельного источника. Частоты синхросигнала и сигнала данных были выбраны в соотношении 6:1, чтобы синхроимпульс приходился на все части трёхуровневого сигнала.

Осциллограммы сигналов при тестировании троичного двухступенчатого триггера в динамике приведены на рис. 5.

Очевидно, что троичный двухступенчатый D-триггер успешно фиксирует на своём выходе Q трёхуровневый входной сигнал по стробирующему импульсу на входе C с задержкой на период синхросигнала.

Следует отметить, что троичные D-триггеры являются элементарными ячейками памяти для хранения одного трита информации в цифровых синхронных системах. Они также представляют собой «строительный материал» для создания регистров. Регистр в цифровой технике – последовательное или параллельное логическое устройство, используемое для хранения *N*-разрядных троичных чисел и выполнения преобразований над ними. Параллельный регистр представляет собой набор из *N* троичных D-триггеров, тактовые входы C которых объединены. Такой регистр способен хранить *N*-разрядное троичное слово.

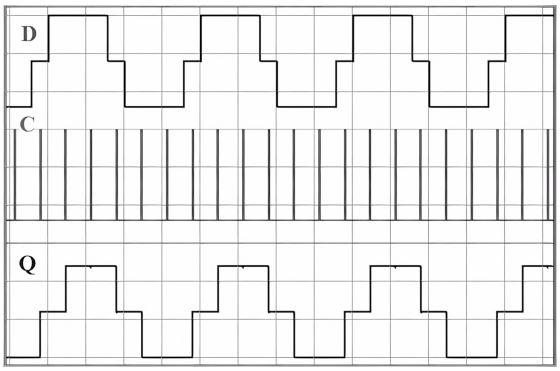


Рис. 5. Осциллограммы входного D, синхронизирующего C и выходного Q сигналов синхронного двухступенчатого D-триггера типа «ведущий – ведомый»

Fig. 5. Input D, clock C and output Q signal waveforms of a ternary synchronous two-stage master-slave D-flip-flop

Если же *N* троичных D-триггеров включить последовательно, соединив выход предыдущего с входом последующего, а тактовые входы C также объединить, получим *N*-разрядный сдвиговый регистр. Включив на входе такого устройства и между отдельными D-триггерами троичные мультиплексоры, получим универсальный *N*-разрядный регистр с параллельной загрузкой.

5. Троичный счетный триггер

Для работы D-триггера в режиме счета входных импульсов в двоичной цифровой технике его инверсный выход /Q соединяют с информационным входом D [4, гл. 8]. Действительно, если представить, что по включению питания на выходе Q присутствует логический «0», а на выходе /Q –

логическая «1», то по каждому тактовому импульсу на входе C получим следующую последовательность на выходе Q: «0» → «1» → «0» (и перенос «1» в старший разряд). Очевидно, что это последовательность счета на увеличение в пределах одного двоичного разряда!

Но в троичном логическом базисе последовательность счета на увеличение в пределах одного разряда иная: «0» → «+1» → «–1» (и перенос «+1» в старший разряд). Такое преобразование в троичной логике осуществляет элемент правой троичной циклической инверсии [1, 2], выполняющий функцию инкрементора. Следовательно, для получения троичного счетного триггера на увеличение, необходимо осуществить обратную связь с выхода троичного D-триггера на его информационный вход D через логический элемент правой троичной циклической инверсии [1, 2] (рис. 6). На схеме рис. 6, *а* элемент «D_TRITT» – двухступенчатый троичный D-триггер с динамическим управлением, выполненный согласно рис. 4 и свернутый в субмодуль, «ROT_UP» – логический элемент правой циклической инверсии. Осциллограммы входных и выходных сигналов троичного счетного триггера, иллюстрирующие счет на увеличение в пределах одного троичного разряда, представлены на рис. 6, *б*.

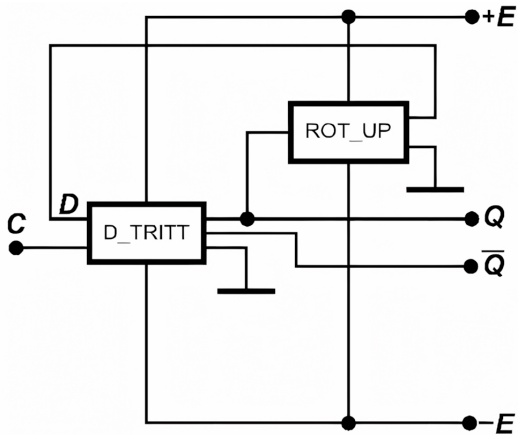
Очевидно, что для получения троичного счетного триггера на уменьшение, необходимо осуществить обратную связь с выхода троичного D-триггера на его информационный вход D через логический элемент левой троичной циклической инверсии «ROT_DN» [1, 2]. На рис. 7, *а* представлена принципиальная электрическая схема такого триггера, осциллограммы на рис. 7, *б* иллюстрируют его работу.

6. Асинхронный троичный счетчик

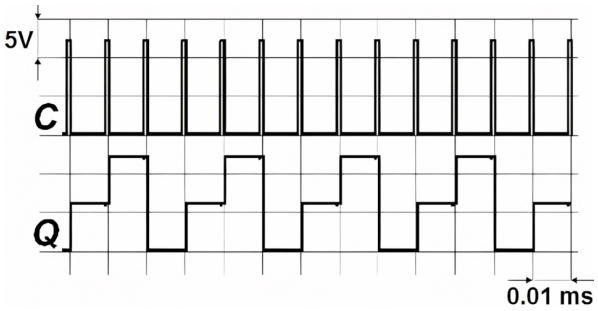
На основе моделей разработанных троичных счетных триггеров довольно просто реализовать асинхронный троичный *N*-разрядный счётчик, включая *N* троичных счётных триггеров последовательно друг за другом, по аналогии с известными двоичными схемами [4, гл. 8]. На рис. 8 представлена схема троичного трёхразрядного асинхронного счетчика на увеличение, реализованный в программе схемотехнического моделирования САПР [5, 6] путём каскадирования трёх троичных счетных триггеров на увеличение. Схема дополнена унарными детекторами логического уровня «–1» (EQU_FALS) [1, 2], которые обеспечивают крутой перепад управляющего сигнала для следующего каскада, и предотвращают возможные сбои при прохождении через уровень троичного логического 0.

Элементы DD1 и DD2, DD4 и DD5, DD7 и DD8 образуют три троичных счетных триггера по схеме, приведенной на рис. 6. Элементы DD3, DD6 – унарные детекторы логического уровня «–1» [1, 2].

Осциллограммы входного и выходных сигналов, измеренные при тестировании троичного трёхразрядного счетчика в программе схемотехнического моделирования САПР [5, 6], представлены на рис. 9. Они демонстрируют корректный троичный счет на увеличение по срезам выходных сигналов и подтверждают работоспособность троичного трёхразрядного счетчика. Необходимо



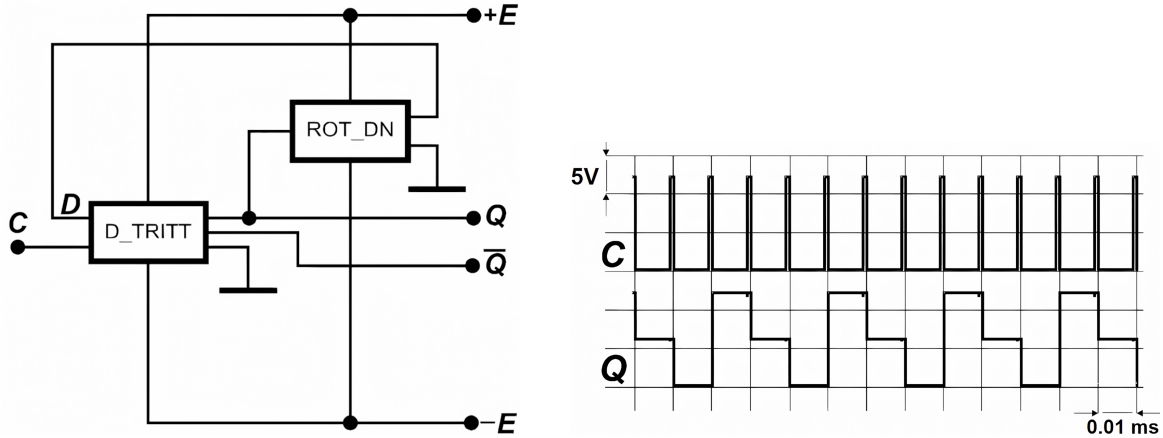
а/*a*



б/*b*

Рис. 6. Принципиальная электрическая схема троичного счетного триггера на увеличение (*а*) и осциллограммы его работы (*б*)

Fig. 6. Ternary counting up trigger circuit diagram (*a*) and its input C and output Q signal waveforms (*b*)



а/*a* *б*/*b*

Рис. 7. Принципиальная электрическая схема троичного счетного триггера на уменьшение (*а*) и осциллограммы его работы (*б*)

Fig. 7. Ternary counting down trigger circuit diagram (*a*) and its input C and output Q signal waveforms (*b*)

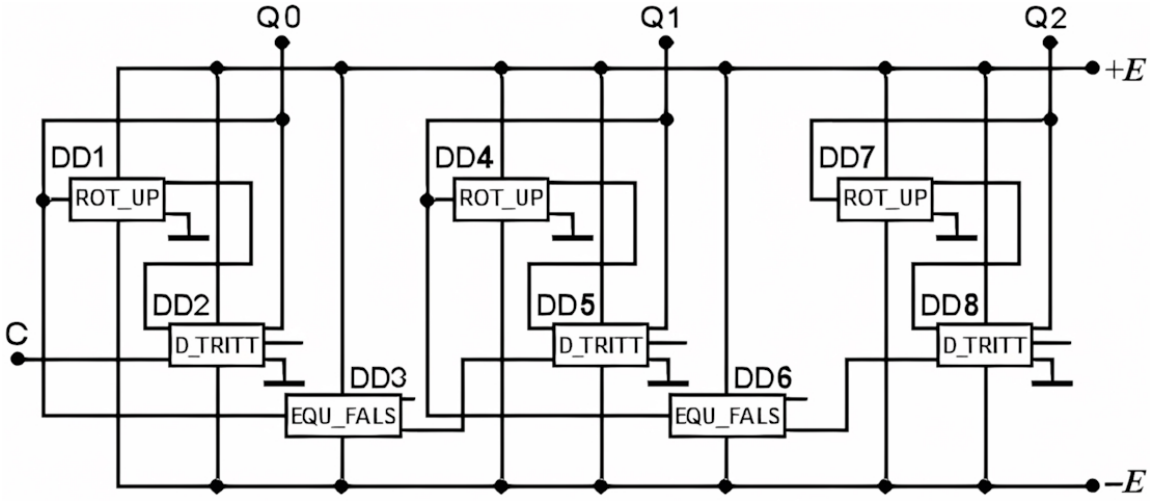


Рис. 8. Принципиальная электрическая схема троичного асинхронного трехразрядного счетчика на увеличение

Fig. 8. Ternary asynchronous three-trit incremental counter circuit diagram

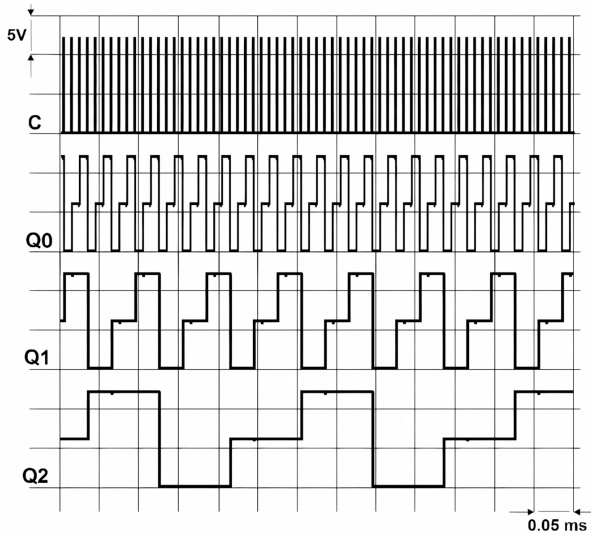


Рис. 9. Осциллограммы входного C и выходных сигналов Q0…Q2 троичного асинхронного трехразрядного счетчика на увеличение

Fig. 9. Input C and output Q0…Q2 signal waveforms of a ternary asynchronous three-trit incremental counter

подчеркнуть, что трёхразрядный троичный счётчик способен подсчитать до 27 входных импульсов до переполнения, в то время как трёхразрядный двоичный счетчик способен подсчитать всего лишь 8.

Асинхронный троичный счётчик на уменьшение может быть реализован по аналогии, достаточно использовать троичные счётные триггеры на уменьшение. Используя троичные триггеры с дополнительными асинхронными входами предустановки, можно создавать троичные пересчётные схемы с произвольным коэффициентом пересчета, подобно их двоичным аналогам.

Заключение

На основе аналоговых моделей базовых и вспомогательных троичных логических элементов [1–3] сконструированы следующие устройства троичной последовательностной логики: асинхронный и синхронный троичные RS-триггеры, троичные статические D-триггер и D-триггер с динамическим управлением, счетные триггеры, работающие в режиме инкремента и декремента, асинхронный многоразрядный троичный счётчик.

Разработанные устройства троичной последовательностной логики наряду с представленными ранее базовыми и вспомогательными троичными логическими элементами комбинационной логики образуют полный набор троичных узлов, позволяющий в дальнейшем реализовать на их основе действующую модель троичного процессора [8].

Более подробно ознакомиться с особенностями схемотехники троичных логических элементов, представленными в данной статье устройствами троичной последовательностной логики, нюансами их разработки и проектирования логических схем на их основе возможно в интернете по ссылке [2]. Рабочие модели представленных в статье троичных логических комбинационных и последовательностных узлов доступны по ссылке [9].

Аналоговые модели троичных логических элементов, позволяют объективно исследовать особенности работы реальных комбинационных и последовательностных цифровых схем, разработанных на их основе: переходные процессы в момент переключения, характерные задержки, нагрузочную способность, взаимодействие логических элементов и их сложную динамику в многоэлементных цифровых схемах.

Список литературы

1. *Семёнов А. А., Вениг С. Б., Дронкин А. С.* Аналоговые модели базовых троичных логических элементов комбинационной логики // Известия Саратовского университета. Новая серия. Серия : Физика. 2024. Т. 24, вып. 4. С. 418–428. https://doi.org/10.18500/1817-3020-2024-24-4-418-428, EDN: NHEYLN
2. *Семёнов А. А., Вениг С. Б.* Троичная логика. URL: https://sgu-wap.narod.ru/Ternary/index.html (дата обращения: 17.07.2026).
3. *Семёнов А. А., Вениг С. Б., Дронкин А. С.* Узлы троичного процессора, разработанные на основе аналоговых моделей троичных логических элементов // Известия Саратовского университета. Новая серия. Серия : Физика. 2025. Т. 25, вып. 2. С. 211–221. https://doi.org/10.18500/1817-3020-2025-25-2-211-221, EDN: JUWRSW
4. *Хоровиц П., Хилл У.* Искусство схемотехники : в 3 т. Изд. 4-е, перераб. и доп. М. : Мир, 1993. Т. 2. 494 с.
5. Electronic Workbench 5.12 for Windows. URL: https://electronicsworkbench . org / electronic - workbench - download/ (дата обращения: 28.04.2026).
6. *Карлащук В. И.* Электронная лаборатория на IBM PC. Программа Electronics Workbench и её применение. М. : СОЛОН-Пресс, 2016. 726 с.
7. *Гутников В. С.* Интегральная электроника в измерительных устройствах. 2-е изд., перераб. и доп. Ленинград : Энергоатомиздат. Ленинградское отд-ние, 1988. 303 с.
8. *Семёнов А. А.* Архитектура троичного 4-тритного процессора // Взаимодействие сверхвысокочастотного, терагерцового и оптического излучения с полупроводниковыми микро- и наноструктурами, метаматериалами и биообъектами : сборник статей Двенадцатой Всероссийской научной школы-семинара / под ред. Ал. В. Скрипаля. Саратов : Изд-во «Саратовский источник», 2025. С. 73–80.
9. *Семёнов А. А., Вениг С. Б.* Архив файлов к разделу «Троичная логика». URL: https://sgu-wap.narod.ru/Ternary/Download/index.html (дата обращения: 17.07.2026).

References

1. Semenov A. A., Venig S. B., Dronkin A. S. Analog models for ternary combinational logic elements. *Izvestiya of Saratov University. Physics*, 2024, vol. 24, iss. 4, pp. 418–428. https://doi.org/10.18500/1817-3020-2024-24-4-418-428, EDN: NHEYLN
2. Semenov A. A., Venig S. B. *Ternary Logic*. Available at: https://sgu-wap.narod.ru/Ternary/index.html (accessed July 17, 2026).
3. Semenov A. A., Venig S. B., Dronkin A. S. Developed ternary processor units based on analog models of ternary logic elements. *Izvestiya of Saratov University. Physics*, 2025, vol. 25, iss. 2, pp. 211–221. https://doi.org/10.18500/1817-3020-2025-25-2-211-221, EDN: JUWRSW
4. Horowitz P., Hill W. *The Art of Electronics*. 3rd ed., rev. and updated. New York, Cambridge University Press, 2015. 1192 p. (Ch. 10).
13. *Electronic Workbench 5.12 for Windows*. Available at: https://electronicworkbenchewb.com/electronic-workbench-download/ (accessed April 28, 2026).
5. Karlashchuk V. I. *Elektronnaya laboratoriya na IBM PC. Programma Electronics Workbench i yeyo primenenie* [Electronic laboratory on IBM PC. Electronics Workbench

program and its application]. Moscow, SOLON-Press, 2016. 726 p. (in Russian).

6. Gutnikov V. S. *Integralnaya elektronika v izmeritelnikh ustroistvakh* [Integrated electronics in measuring devices]. Leningrad, Energoatomizdat, Leningradskoe otd-nie, 1988. 303 p. (in Russian).
7. Semenov A. A. The ternary 4-trit processor architecture. *Vzaimodeistvie sverkhvisokochastotnogo, teragertsovogo i opticheskogo izlucheniya s poluprovodnikovimi mikro- i nanostrukturami, metamaterialami i bioobektami: sbornik statei Dvenadtsatoi Vserossiiskoi nauchnoi shkoly-seminara* [Skripal' Al. V., ed. Interaction of Microwave, Terahertz and Optical Radiation with Semiconductor Micro- and Nanostructures, Metamaterials and Bioobjects: Collection of articles from the twelfth All-Russian scientific school-seminar]. Saratov, Publishing house "Saratovsky Istochnik", 2025, pp. 73–80 (in Russian).
9. Semenov A. A., Venig S. B. *File archive for the "Ternary Logic" section*. Available at: https://sgu-wap.narod.ru/Ternary/Download/index.html (accessed July 17, 2026).

Поступила в редакцию 11.05.2026; одобрена после рецензирования 12.07.2026; принята к публикации 17.07.2026; опубликована 30.09.2026

The article was submitted 11.05.2026; approved after reviewing 12.07.2026; accepted for publication 17.07.2026; published 30.09.2026