



Известия Саратовского университета. Новая серия. Серия: Физика. 2024. Т. 24, вып. 4. С. 418–428

Izvestiya of Saratov University. Physics, 2024, vol. 24, iss. 4, pp. 418–428

<https://fizika.sgu.ru>

<https://doi.org/10.18500/1817-3020-2024-24-4-418-428>, EDN: NHEYLN

Научная статья
УДК 004.312.22



Аналоговые модели базовых троичных логических элементов комбинационной логики

А. А. Семёнов[✉], С. Б. Вениг, А. С. Дронкин

Саратовский национальный исследовательский государственный университет имени Н. Г. Чернышевского, Россия, 410012, г. Саратов, ул. Астраханская, д. 83

Семёнов Андрей Андреевич, доктор физико-математических наук, доцент, профессор кафедры физики твёрдого тела, sgu_wap@yandex.ru, <https://orcid.org/0000-0002-1621-6530>

Вениг Сергей Борисович, доктор физико-математических наук, профессор, заведующий кафедрой материаловедения, технологии и управления качеством; директор Института физики, wenigsb@mail.ru, <https://orcid.org/0000-0002-4759-5828>

Дронкин Алексей Станиславович, аспирант кафедры физики твёрдого тела, dronkin.alexei@mail.ru, <https://orcid.org/0009-0009-5762-9073>

Аннотация. Уже сегодня очевидно, что быстродействие современных микропроцессоров приближается к своему пределу. Нарастать тактовую частоту и повышать быстродействие входящих в их состав транзисторов за счет уменьшения их размеров становится все сложнее из-за фундаментальных физических ограничений. Возможные способы повышения производительности микропроцессоров могут быть найдены на путях внедрения принципиально новых материалов и технологий, что связано с необходимостью частичного или полного отказа от современной технологии производства электронных компонентов. Тем не менее, существует и вариант развития, позволяющий повысить производительность микроэлектронных устройств без отказа от привычных и отлаженных технологий, как в области создания интегральных схем, так и микроархитектуры. Переход цифровой техники от двоичной основы к троичной системе счисления, т. е. использованию в рамках одного разряда трёх возможных состояний – ложь/неопределенность/истина – позволяет получить целый ряд преимуществ и в целом предоставляет реальную возможность повысить производительность микропроцессорной техники при прочих равных условиях. В связи с этим целью работы является разработка аналоговых моделей логических элементов троичной логики, совместимых по характеристикам с современными сериями элементов двоичной КМОП-логики. Предложенные аналоговые модели троичных логических элементов позволяют корректно моделировать сложные устройства цифровой схемотехники, содержащие такие элементы. Выполнен действующий макет троичного логического элемента на типовых отечественных дискретных электронных компонентах, подтвердивший корректность и эффективность разработанных моделей элементов троичной логики. На основе предложенных моделей в дальнейшем были сконструированы основные узлы троичного процессора

Ключевые слова: логические элементы, троичная логика, троичный логический базис, цифровые модели, повышение производительности, троичная схемотехника, троичный процессор

Для цитирования: Семёнов А. А., Вениг С. Б., Дронкин А. С. Аналоговые модели базовых троичных логических элементов комбинационной логики // Известия Саратовского университета. Новая серия. Серия: Физика. 2024. Т. 24, вып. 4. С. 418–428. <https://doi.org/10.18500/1817-3020-2024-24-4-418-428>, EDN: NHEYLN

Статья опубликована на условиях лицензии Creative Commons Attribution 4.0 International (CC-BY 4.0)

Article

Analog models for ternary combinational logic elements

A. A. Semenov[✉], S. B. Venig, A. S. Dronkin

Saratov State University, 83 Astrakhanskaya St., Saratov 410012, Russia

Andrey A. Semenov, sgu_wap@yandex.ru, <https://orcid.org/0000-0002-1621-6530>

Sergey B. Venig, wenigsb@mail.ru, <https://orcid.org/0000-0002-4759-5828>

Alexei S. Dronkin, dronkin.alexei@mail.ru, <https://orcid.org/0009-0009-5762-9073>

Abstract. Background and Objectives: It is already obvious today that the performance of modern microprocessors is approaching its limit. Increasing the clock frequency and increasing the performance of the transistors included in them by reducing their size is becoming increasingly difficult due to fundamental physical limitations. Possible ways to increase the performance of microprocessors can be found through the introduction of fundamentally new materials and technologies, which is associated with the need for partial or complete abandonment of modern technology for the production of electronic components. However, there is also a development option that makes it possible to increase the performance of microelectronic devices without abandoning familiar and established technologies, both in the field of creating integrated circuits



and microarchitecture. The transition of digital technology from a binary base to a ternary number system, that is, the use of three possible states within one digit – false/uncertain/true – allows one to obtain a number of advantages and, in general, provides a real opportunity to increase the performance of microprocessor technology, all other things being equal. In this regard, the goal of the work is to develop analog models of ternary logic elements that are compatible in characteristics with modern series of binary CMOS logic elements that can allow one to correctly simulate complex digital circuitry devices containing such elements. **Materials and Methods:** A software package for analysis and automatic design of electronic circuits was used to develop analog models of ternary logic elements. This program made it possible to analyze transient processes, parameters and interaction features of the developed logical elements. **Results:** A working prototype of a ternary logic element has been completed using standard discrete electronic components, which confirms the correctness and efficiency of the developed models of ternary logic elements. **Conclusion:** The proposed analog models of ternary logic elements allow one to correctly simulate complex digital circuitry devices containing such elements. Based on the proposed models, the main units of the ternary processor have been subsequently designed.

Keywords: logical elements, ternary logic, ternary logical basis, analog models, performance improvement, ternary circuit design, ternary processor

For citation: Semenov A. A., Venig S. B., Dronkin A. S. Analog models for ternary combinational logic elements. *Izvestiya of Saratov University. Physics*, 2024, vol. 24, iss. 4, pp. 418–428 (in Russian). <https://doi.org/10.18500/1817-3020-2024-24-4-418-428>, EDN: NHEYLN

This is an open access article distributed under the terms of Creative Commons Attribution 4.0 International License (CC-BY 4.0)

Введение

Современные микропроцессоры успешно работают в диапазоне тактовых частот до 10 ГГц [1, 2], а разработчики и производители уверенно подтверждают, что и барьер в 10 ГГц может быть вскоре успешно достигнут [3]. Ещё сравнительно недавно такие цифры представлялись фантастикой – нижний край диапазона СВЧ, длины волн 6–5 см! Тем не менее, уже сегодня очевидно, что быстродействие микропроцессоров приближается к своему пределу. Нарастив тактовую частоту микропроцессоров и повышая быстродействие входящих в их состав транзисторов за счет уменьшения их размеров становится все сложнее из-за фундаментальных физических ограничений [4].

Возможные способы повышения производительности микропроцессоров могут быть найдены на путях внедрения принципиально новых материалов и физических принципов работы, что связано с необходимостью частичного или полного отказа от современной технологии производства электронных компонентов [5, 6]. Но существует и альтернативный вариант, позволяющий повысить производительность микропроцессоров без отказа от привычных и отлаженных технологий, как в области создания интегральных схем, так и их микроархитектуры.

Переход цифровой техники от двоичной основы к троичной системе счисления, т. е. использованию в рамках одного разряда трёх возможных состояний – ложь/неопределенность/истина – или же -1 , 0 и $+1$, позволяет получить целый ряд преимуществ: более плотную запись информации, простое и естественное представление отрицательных чисел, ускоренное выполнение операций ветвления и сложения, а также сокращение количества межсоединений, что в целом может

повысить производительность микропроцессоров при прочих равных условиях.

1. О троичной логике

Троичная или трёхзначная логика (англ. – ternary logic) – один из видов многозначной логики, использующий три истинностных значения. Троичная система счисления – позиционная система счисления с основанием 3. Троичная система счисления существует в двух вариантах: несимметричная (цифры 0 , 1 , 2) и симметричная (уравновешенная) (цифры -1 , 0 , $+1$). Принято считать, что исторически позиционная симметричная (уравновешенная) троичная система счисления была предложена математиком Леонардо Пизано Фибоначчи (1170–1228) для решения «задачи о гирях». Тот факт, что троичная логика обладает рядом преимуществ по сравнению с двоичной, также известен довольно давно. Как один из видов многозначной логики, она была предложена Яном Лукасевичем ещё в 1920 году.

В обычной двоичной логике оперируют двумя логическими понятиями: «ИСТИНА» и «ЛОЖЬ», «ДА» и «НЕТ», «1» и «0». Такая двузначная логика весьма несложно реализуется аппаратно современными активными твердотельными приборами – транзисторами, но некоторую неполноту этой логики осознавал ещё отец строительного математического аппарата алгебры логики Джордж Буль [7].

Основоположником логики справедливо считается Аристотель, создавший систему доказательства умозаключения – силлогистику, которая все еще остается непревзойденным интеллектуальным инструментом. Но принципиальное отличие логики Аристотеля от современной «классической» логики в том, что она не двузначна,



а трёхзначна [7]. Троичная логика активно используется людьми в повседневной жизни, причём успешно пользуемся мы ей, практически этого не замечая. В быту кроме «белого» и «черного», «да» или «нет» обычно необходимы дополнительные промежуточные варианты. Как правило, это дополнительное состояние неопределенности. Голосуя на выборах, к примеру, мы обычно делимся на тех, кто «За», тех, кто «Против», и тех, кто «Воздержался». Таким образом, это более функциональная, близкая к мыслительному процессу логика.

Отметим, что в троичной логике смысл понятий «ИСТИНА» и «ЛОЖЬ» не изменяется по отношению к их значению в двоичной логике, но вводится третье логическое понятие: «НЕИЗВЕСТНО» или «НЕ ОПРЕДЕЛЕНО». Можно сказать, что два базисных логических понятия «ДА» и «НЕТ», вполне логично и естественно дополнило состояние «НЕ ЗНАЮ», что в совокупности и определило алфавит симметричной троичной логики как $\{+1, 0, -1\}$.

Логическое понятие «НЕИЗВЕСТНО» и «НЕ ОПРЕДЕЛЕНО» с трудом воспринимается как людьми, знакомыми с основами классической логики, так и многими профессиональными разработчиками цифровой аппаратуры. «Как можно оперировать с логическим состоянием, которое “НЕИЗВЕСТНО” и “НЕ ОПРЕДЕЛЕНО”?» – такой вопрос обычно задаётся ими. В этой связи следует отчётливо понимать, что «НЕИЗВЕСТНО», «НЕ ОПРЕДЕЛЕНО», «НЕ ЗНАЮ» – это лишь названия конкретного логического состояния, уровни которого весьма четко определены как половина напряжения питания при однополярном питании устройства, либо уровень «земли» или общего провода (0 Вольт) при двухполярном питании. Логически же понятие «НЕИЗВЕСТНО», «НЕ ОПРЕДЕЛЕНО» скрывает за собой лишь следующее: «НЕ ЗНАЮ»: «ИСТИНА» ли или «НЕ ЗНАЮ»: «ЛОЖЬ» ли. То есть под логическим понятием «НЕИЗВЕСТНО», «НЕ ОПРЕДЕЛЕНО» может быть спрятано либо логическое значение «ИСТИНА», либо логическое значение «ЛОЖЬ», а не что-либо иное, абстрактное и неконкретное, но в данный отдельный момент времени это значение нам просто «НЕИЗВЕСТНО».

Рассмотрим специфику проведения логических операций со значением «НЕИЗВЕСТНО» на примере простой и понятной логической операции «И». Результатом логической операции «И» над двумя логическими высказываниями будет «ИСТИНА», если «ИСТИННО» как первое, так

и второе высказывание. Это справедливо как в двоичной, так и в троичной логике: логическая операция «И» эксклюзивно (избирательно) реагирует на совпадение «ИСТИННЫХ» логических сигналов – «+1».

Безусловно, результат логической операции «И» будет ЛОЖНЫМ, если «ЛОЖНО» хотя бы одно из логических высказываний. Собственно, здесь в словесной форме изложены аксиомы алгебры логики, из которых очевидно и другое практически важное свойство логического элемента «И»: вентиль «И» «прозрачен» по логической «1» на одном из его входов, т. е. он пропускает на выход логический сигнал на втором входе без изменения, но «не прозрачен» по логическому «0».

В том случае, если одно из высказываний «ЛОЖНО», а второе – «НЕИЗВЕСТНО», результатом логической операции «И» будет «ЛОЖНО», потому как «НЕИЗВЕСТНО» в троичной логике может принимать лишь значения «ИСТИННО» или «ЛОЖНО», откуда:

«ЛОЖНО» «И» «ИСТИННО» → «ЛОЖНО»,
но также

«ЛОЖНО» «И» «ЛОЖНО» → «ЛОЖНО»,
следовательно:

«ЛОЖНО» «И» «НЕИЗВЕСТНО» → «ЛОЖНО».

Если же одно из высказываний «ИСТИННО», а второе – «НЕИЗВЕСТНО», результатом логической операции «И» будет «НЕИЗВЕСТНО», потому как

«ИСТИННО» «И» «ИСТИННО» → «ИСТИННО», но

«ИСТИННО» «И» «ЛОЖНО» → «ЛОЖНО»,
следовательно, в этом случае результатом логической операции «И» будет «НЕИЗВЕСТНО», «НЕ ОПРЕДЕЛЕНО», а значит

«ИСТИННО» «И» «НЕИЗВЕСТНО» → «НЕИЗВЕСТНО».

Мы «НЕ ЗНАЕМ» результат конкретно, но ситуация, заключающаяся в том, что нам это «НЕИЗВЕСТНО», логически непротиворечива.

Из рассмотренных примеров видно, что троичный логический элемент «И» «прозрачен» по логическому значению «НЕИЗВЕСТНО» на одном из его входов для логического сигнала «ЛОЖЬ». Поэтому в троичной логике результатом операции «И» над логическими аргументами «А» и «В» будет меньший из аргументов, и, следовательно, операция «И» в троичной логике является функцией «минимума» – $\text{MIN}(A, B)$.



Таким образом, очевидно, что двоичная операция «И» является подмножеством троичной функции «минимума» – $\text{MIN}(A, B)$. Они логически совместимы как по сигналам «ИСТИНА» и «ЛОЖЬ», так и по результату операции.

Следовательно, при надлежащем совпадении потенциалов напряжения, соответствующих логическим уровням, элементы как двоичной, так и троичной логики могут применяться в едином электронном устройстве.

Аналогично можно рассмотреть и результаты логической операции «ИЛИ» над троичными аргументами. В троичной логике результатом операции «ИЛИ» над логическими аргументами «А» и «В» будет больший из аргументов, и, следовательно, операция «ИЛИ» в троичной логике является функцией «максимума» – $\text{MAX}(A, B)$.

Не вызывает затруднения и операция отрицания в троичной логике. Инверсией логического значения «ИСТИННО» будет «ЛОЖНО», а инверсией логического значения «ЛОЖНО» будет «ИСТИННО» – результат полностью идентичный тому, что мог бы быть получен в двоичной логике при инверсии этих же логических значений.

Инверсией логического значения «НЕИЗВЕСТНО» будет «НЕИЗВЕСТНО». Что бы ни скрывалось под логическим состоянием, которое мы «НЕ ЗНАЕМ», «ИСТИНА» или «ЛОЖЬ», это состояние будет корректно инвертировано, согласно правилам, изложенным выше. Но конкретный результат этой операции мы всё равно «НЕ ЗНАЕМ», следовательно, нам это по-прежнему логически «НЕИЗВЕСТНО».

Следует отметить, что в силу того что инверсией логического значения «НЕИЗВЕСТНО» будет само же это логическое состояние «НЕИЗВЕСТНО», правила де Моргана, связывающие в двоичной логике пары логических операций при помощи логического отрицания, в троичной логике также справедливы. Отрицание операции $\text{MIN}(A, B)$ есть операция $\text{MAX}(A, B)$ от инвертированных аргументов. И отрицание операции $\text{MAX}(A, B)$ есть операция $\text{MIN}(A, B)$ от инвертированных аргументов.

Преимущества троичной системы известны давно [8]. Так, в частности, трёхразрядный двоичный счетчик способен выполнить подсчет лишь $2^3 = 8$ импульсов, в то время как троичный счетчик той же разрядности способен осуществить счет до $3^3 = 27$ [9]. С учётом возможностей ускоренного выполнения операций ветвления и сложения преимущества троичной системы в микропроцессорной технике очевидны и неоспоримы. Тем

не менее, широкое её применение сдерживалось отсутствием технологически удачных схемотехнических решений для базовых логических элементов, что в значительной мере было связано с несовершенством технологии производства комплементарных МОП-транзисторов, которые лежат в основе современной микропроцессорной техники. Так, в известных конструкциях [10, 11] не было возможности использовать МОП-транзисторы обогащенного типа с необходимыми порогами переключения, хотя схемотехника троичных логических элементов была проработана на вполне приемлемом для практического применения уровне.

Следует отметить, что процесс разработки и исследования цифровых систем на основе элементов троичной логики сдерживается также отсутствием работоспособных моделей таких элементов в распространенных популярных пакетах систем автоматического проектирования (САПР), в то время как к конструированию подобных систем существует устойчивый интерес [12–15]. Современный уровень развития технологии производства комплементарных МОП-транзисторов как обедненного, так и обогащенного типа, позволяет создавать в едином технологическом процессе полупроводниковые приборы с необходимыми заданными параметрами [16], на основе которых и были реализованы модели логических элементов, представленные в данной работе [17].

2. Модели МОП транзисторов в программе САПР

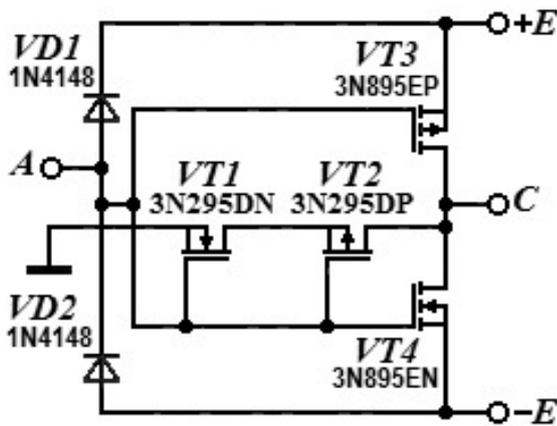
Для создания моделей троичных логических элементов в программном пакете схемотехнического моделирования [18] на основе параметров существующих в его составе Spice-моделей маломощных МОП-транзисторов 2N7002, BSS84 были реализованы следующие модели транзисторов: 3N295DN, 3N295DP, 3N295EN, 3N895EN, 3N295EP, 3N895EP. Префикс 3N указывает на предназначение компонента для моделирования троичных логических схем. Суффиксы в названии определяют тип транзистора: D – Depletion Mode (нормально открытый, с встроенным каналом обеднённого типа); E – Enhancement Mode (нормально закрытый, с индуцированным каналом обогащенного типа), N – канал n -типа, P – канал p -типа. Число в названии, в зависимости от типа транзистора, указывает пороговое напряжение или напряжение отсечки, выраженное в вольтах с точностью до второго знака без десятичной запятой после первой цифры.



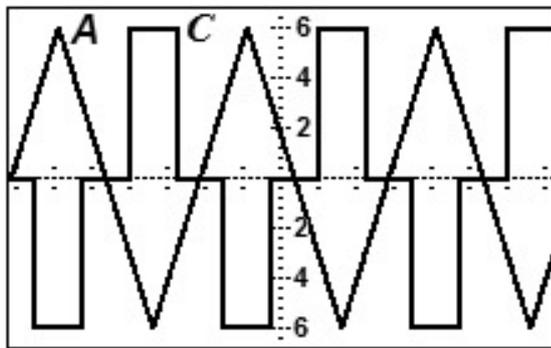
3. Логический элемент троичной инверсии

Троичный логический инвертор схемотехнически представляет собой фактически три ключа, управляемых входным сигналом и реализованных на основе МОП-транзисторов, выступающих также и в роли компараторов логических уровней входного напряжения, что значительно упрощает схемотехнику троичных логических элементов, выполненных на их основе.

Рассмотрим работу троичного инвертора, принципиальная электрическая схема которого представлена на рис. 1, а.



а/а



б/б

Рис. 1. Принципиальная электрическая схема логического элемента троичной инверсии (а) и осциллограммы его входного и выходного сигналов (б)

Fig. 1. Ternary inverter “INV” circuit diagram (a) and its input and output signal waveforms (b)

Пороговые напряжения МОП-транзисторов $VT3$ и $VT4$ выбраны так, что когда входной сигнал достигает потенциала логической «1», транзистор $VT4$ соединяет выход C схемы с шиной отрицательного потенциала источника $-E$, тем самым формируя уровень логической «-1», в то время как остальные транзисторы схемы закрыты. Когда же входной сигнал снижается до потенциала логической «-1», открывается транзистор $VT3$, соединяя

выход C схемы с шиной положительного потенциала источника $+E$ и тем самым формируя уровень логической «1», в то время как остальные транзисторы схемы опять же закрыты.

В диапазоне напряжений от $-E/2$ до $+E/2$, когда величина входного сигнала приближается к потенциалу логического «0», транзисторы $VT3$ и $VT4$ закрыты, а проводимость каналов транзисторов $VT1$ и $VT2$ увеличивается, достигая максимума вблизи потенциала общего провода, с которым эти два транзистора, собственно, и соединяют выход троичного инвертора C , играя роль сложного ключа.

Диоды на входе схемы выполняют защитную функцию, а также вносят во входной импеданс устройства свою емкостную составляющую при моделировании схемы.

Рис. 1, б иллюстрирует динамику рассмотренных процессов при подаче на вход A троичного инвертора пилообразного входного сигнала амплитудой E .

3. Логические элементы троичной конъюнкции

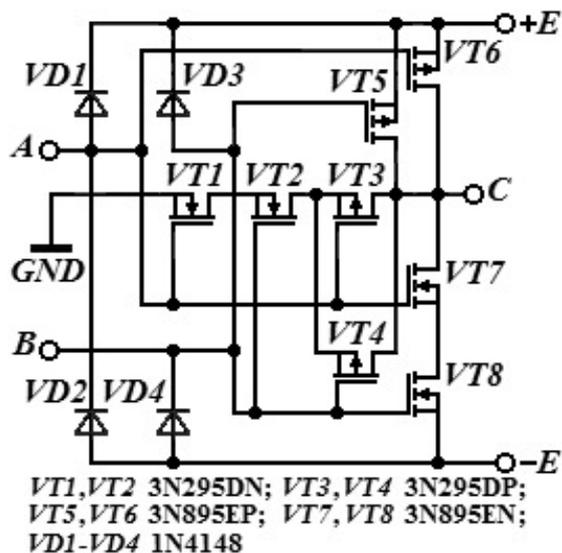
Логические элементы троичной логики совместимы по уровням логических сигналов «ИСТИНА» и «ЛОЖЬ» с элементами двоичной логики, и трактовка логических сигналов у этих логических семейств совершенно идентична. Следовательно, базовые троичные логические элементы должны обрабатывать логические «-1» и «1» точно так же, как и их двоичные аналоги. Поэтому в схемотехнике логического элемента троичной конъюнкции («INV-MIN» – аналога двоичного элемента «И-НЕ»), принципиальная электрическая схема которого представлена на рис. 2, а, транзисторы $VT5-VT8$ фактически повторяют топологию схемы двоичного КМОП элемента «И-НЕ» [19].

Основное отличие заключается в том, что тип этих транзисторов и их пороговые напряжения выбраны так, что они работают за пределами диапазона входных сигналов от $-E/2$ до $+E/2$, т. е., как раз обрабатывают логические сигналы троичных «-1» и «1». Если на входах этих транзисторов уровни сигнала не соответствуют потенциалам троичных «-1» и «1», то они закрыты и не влияют на работу схемы.

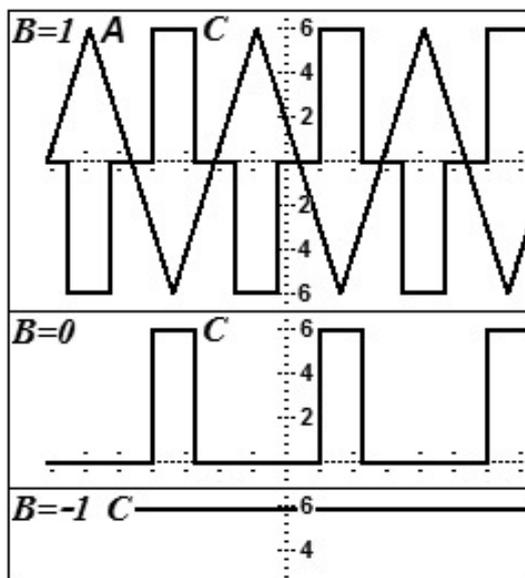
Тип транзисторов $VT1$, $VT2$ и их напряжения отсечки выбраны так, что образованный ими сложный ключ разрешает прохождение тока через каналы транзисторов $VT3$, $VT4$ лишь в том случае, когда сигнал на затворах изменяется в диапазоне от $-E/2$ до $+E/2$, т. е. когда он приближается



к потенциалу логического «0». Следовательно, ток через транзисторы *VT3*, *VT4* будет проходить лишь в том случае, когда потенциал на их затворах также соответствует логическому «0».



a/a



б/б

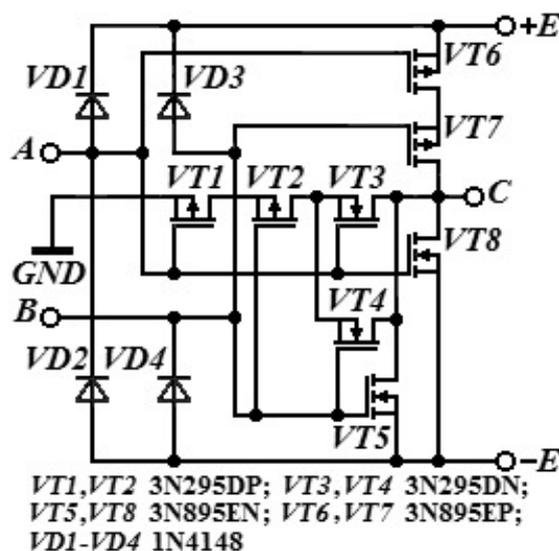
Рис. 2. Принципиальная электрическая схема троичного логического элемента «INV-MIN» (а) и осциллограммы его входных и выходных сигналов (б)

Fig. 2. Ternary “INV-MIN” logic element circuit diagram (a) and its input and output signal waveforms (b)

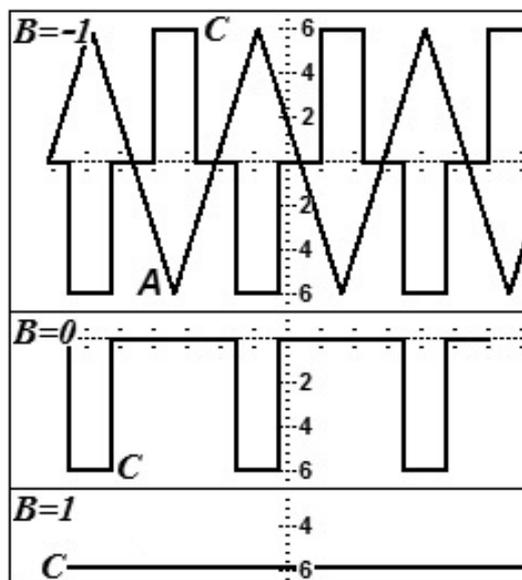
Из представленных на рис. 2, б осциллограмм сигналов очевидно, что троичный логический элемент «INV-MIN» избирательно реагирует на совпадение логических «1» на своих входах, и в качестве вентиля пропускает на свой выход *C* меньший из поданных на входы логических уровней, инвертируя его.

5. Логические элементы троичной дизъюнкции

Как и троичный логический элемент «INV-MIN», логический элемент троичной дизъюнкции («INV-MAX» – аналог двоичного элемента «ИЛИ-НЕ») должен обрабатывать логические «-1» и «1» так же корректно, как и его двоичный аналог. Следовательно, в составе его принципиальной электрической схемы, представленной на рис. 3, а, должны быть транзисторные ключи, фактически повторяющие схемотехнику двоичного КМОП элемента «ИЛИ-НЕ» [19].



a/a



б/б

Рис. 3. Принципиальная электрическая схема троичного логического элемента «INV-MAX» (а) и осциллограммы его входных и выходных сигналов (б)

Fig. 3. Ternary «INV-MAX» logic element circuit diagram (a) and its input and output signal waveforms (b)



Таковыми компонентами являются КМОП транзисторы $VT5-VT8$. Тип этих транзисторов и их пороговые напряжения выбраны так, что они работают за пределами диапазона входных сигналов от $-E/2$ до $+E/2$, т. е. как раз обрабатывают логические сигналы троичных «-1» и «1» как двоичный элемент «ИЛИ-НЕ». Если на входах этих транзисторов уровни сигнала не соответствуют потенциалам троичных «-1» и «1», то они закрыты и не влияют на работу схемы.

Тип транзисторов $VT1, VT2$ и их напряжения отсечки выбраны так, что образованный ими ключ разрешает прохождение тока через каналы транзисторов $VT3, VT4$ при величине сигнала на затворах в диапазоне от $-E/2$ до $+E/2$, т. е. когда величина сигнала приближается к потенциалу логического «0». Принцип их работы фактически идентичен рассмотренному выше при описании троичного логического элемента «INV-MIN».

Из представленных на рис. 3, б осциллограмм сигналов следует, что троичный логический элемент «INV-MAX» избирательно реагирует на совпадение логических «-1» на своих входах, и в качестве вентиля пропускает на свой выход S наибольший из поданных на входы логических уровней, инвертируя его.

6. Унарные декодеры троичных логических уровней

Декодеры троичных логических уровней представляют собой унарные функции одного аргумента, преобразующие трёхзначный код на входе в строго двухзначный код на выходе [20].

Функции имеют следующий вид:

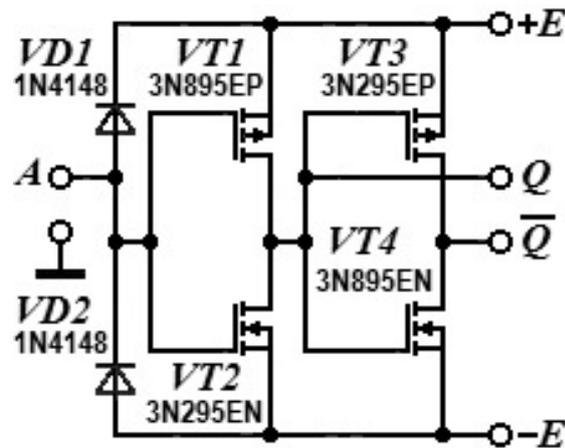
$F(a) = (a = -1)$ – обнаружено логическое состояние «ЛОЖНО»;

$F(a) = (a = 0)$ – обнаружено логическое состояние «НЕИЗВЕСТНО»;

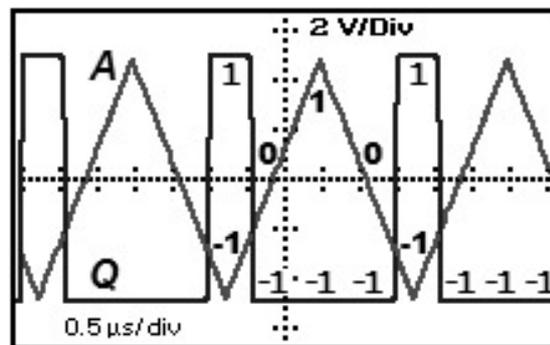
$F(a) = (a = 1)$ – обнаружено логическое состояние «ИСТИННО».

Входной код может принимать все три значения – «ИСТИННО», «ЛОЖНО» и «НЕИЗВЕСТНО», тогда как код на выходе может принимать лишь два значения: «ИСТИННО» и «ЛОЖНО». В этом плане устройства, действительно, являются декодерами, хотя не будет ошибкой назвать их детекторами троичных логических сигналов «-1», «0», «1». Обнаружив на входе логический сигнал соответствующего уровня, детектор выдаёт на выход сигнал «1», во всех остальных случаях – «-1», сигнал «0», «НЕИЗВЕСТНО» не может появиться на выходе никогда.

На рис. 4 представлена принципиальная схема декодера логического уровня «-1» и осциллограммы входного и выходного сигналов.



a/a



б/б

Рис. 4. Принципиальная электрическая схема декодера логического уровня «-1» (а) и осциллограммы его входного и выходного сигналов (б)

Fig. 4. Ternary false logic state decoder circuit diagram (a) and its input and output signal waveforms (b)

Компаратор логического уровня «-1» выполнен на МОП-транзисторах $VT1$ и $VT2$. Их пороговые напряжения выбраны так, что когда входной сигнал достигает потенциала логической «-1», транзистор $VT2$ закрывается, а транзистор $VT1$ открывается, соединяя выход схемы Q с шиной положительного потенциала источника $+E$, тем самым формируя на выходе Q уровень логической «1» (см. рис. 4, б).

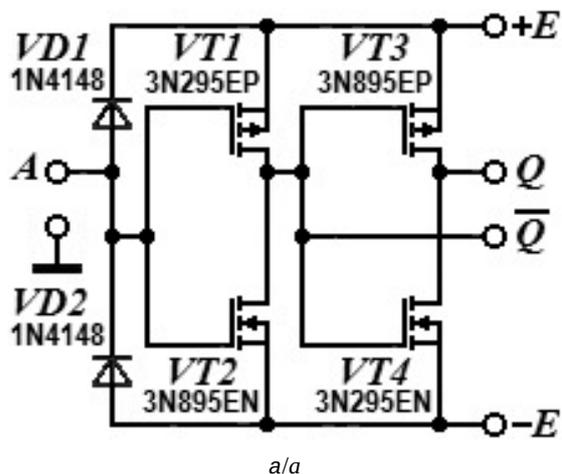
МОП-транзисторы $VT3$ и $VT4$ образуют инвертор сигнала с выхода Q и выдают на инверсный выход Q сигнал в противофазе.

Принципиальная электрическая схема декодера логического уровня «1» и осциллограммы входного и выходного сигналов приведены на рис. 5.

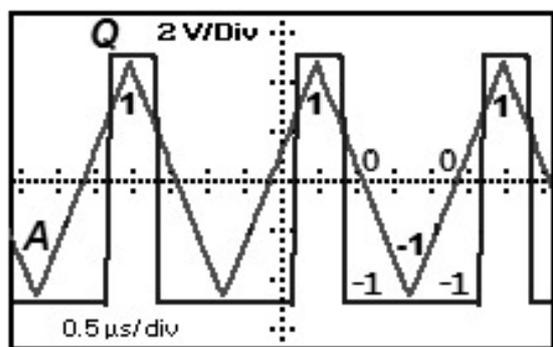
Компаратор логического уровня «1» также выполнен на МОП-транзисторах $VT1$ и $VT2$. Но в этом случае их пороговые напряжения выбраны



так, что когда входной сигнал достигает потенциала логической «1», транзистор *VT1* закрывается, а транзистор *VT2* открывается, соединя инверсный выход схемы \bar{Q} с шиной отрицательного потенциала источника $-E$, тем самым формируя на нём уровень логической «-1», как это показано на рис. 5, б.



a/a



б/б

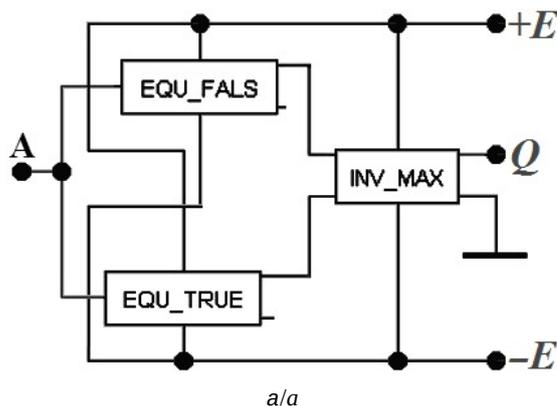
Рис. 5. Принципиальная электрическая схема декодера логического уровня «1» (а) и осциллограммы его входного и выходного сигналов (б)

Fig. 5. Ternary true state decoder circuit diagram (a) and its input and output signal waveforms (b)

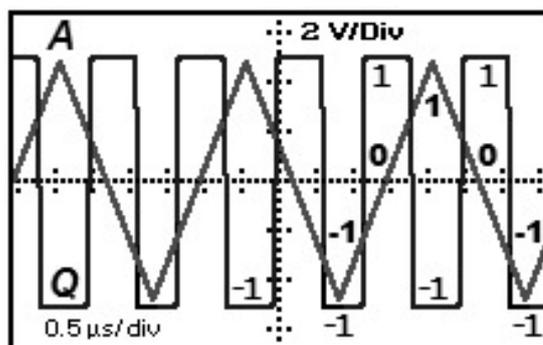
МОП-транзисторы *VT3* и *VT4* инвертируют сигнал инверсного выхода \bar{Q} и выдают на выход *Q* сигнал в противофазе.

Практика разработки схем троичной логики показала, что необходимость в декодере логического уровня «0» возникает сравнительно нечасто. Но в тех случаях, когда он действительно необходим, в схеме обычно уже присутствуют декодеры логических уровней «-1», «+1».

Поэтому декодер логического уровня «0» был выполнен по схеме, представленной на рис. 6.



a/a



б/б

Рис. 6. Принципиальная электрическая схема декодера логического уровня «0» (а) и осциллограммы его входного и выходного сигналов (б)

Fig. 6. Ternary unknown logic state decoder circuit diagram (a) and its input and output signal waveforms (b)

Логический элемент «INV_MAX», избирательно реагирующий на совпадение логических уровней «-1», совместно с декодерами троичных логических уровней «-1» и «+1», свернутыми в submodule «EQU_FALS» и «EQU_TRUE» соответственно, отслеживает уровень логического «0» в тех случаях, когда декодеры не обнаружили ни «-1», ни «+1» на входе *A*, что иллюстрируют осциллограммы входного и выходного сигналов, приведенные на рис. 6, б.

7. Логические элементы троичной циклической инверсии

Троичный инвертор способен выполнить следующее преобразование логических сигналов: «1» → «-1»; «0» → «0»; «-1» → «1», но выполнять преобразования типа «1» → «0»; «0» → «-1»; «-1» → «1» или «1» → «-1»; «-1» → «0»; «0» → «1» он уже не имеет возможности. Такие операции в троичной логике носят название левой и правой циклических инверсий (*rotate down cycle; left cycle; double inverse cycle* и *rotate up cycle; right inverse cycle*) [20]. Любая



из этих функций может осуществить обычную троичную инверсию, в то время как обратное невозможно. Следует также подчеркнуть, что в троичной логике левая и правая циклические инверсии фактически представляют собой функции декремента и инкремента, т. е. уменьшения на единицу и увеличения на единицу, поэтому без них практически невозможно построение троичных счетчиков.

На рис. 7 приведена принципиальная электрическая схема элемента левой троичной циклической инверсии и осциллограмма его выходного сигнала при воздействии на вход напряжения симметричной пилообразной формы амплитудой E .

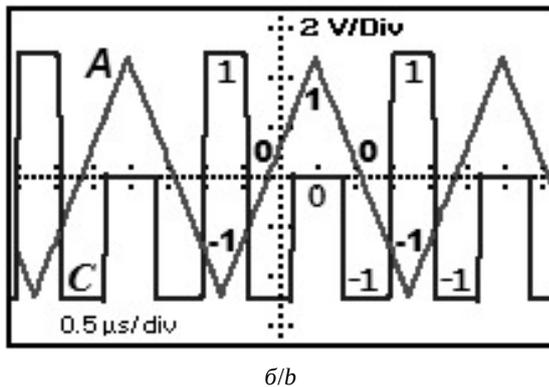
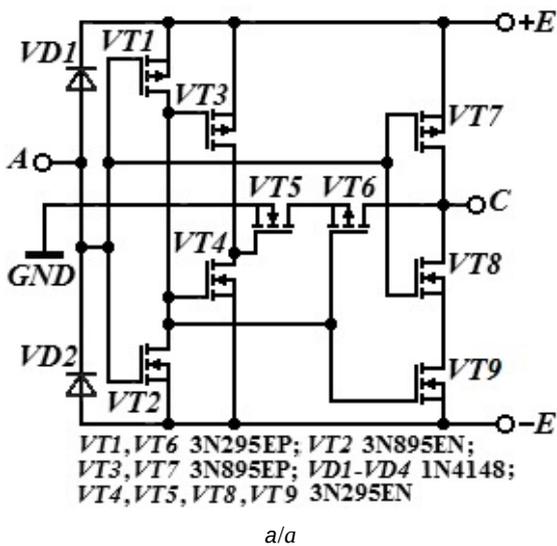


Рис. 7. Принципиальная электрическая схема логического элемента троичной левой циклической инверсии (а) и осциллограммы входного и выходного сигналов (б)
Fig. 7. Ternary rotate down cycle logic element circuit diagram (a) and its input and output signal waveforms (b)

Транзисторы $VT1$ и $VT2$ в этой схеме образуют декодер троичного логического состояния «1» на входе A . Транзисторы $VT3$ и $VT4$ образуют инвертор этого сигнала. Если распознано

логическое состояние «1», то $VT1$ и $VT2$ включают транзистор $VT6$, а пара $VT3$ и $VT4$ – $VT5$, и на выход C подаётся потенциал общего провода, или логический «0», как это видно на графике, приведенном на рис. 7, б. Если же на входе A не «1», то $VT5$ и $VT6$ выключаются, а транзистор $VT9$ включается и разрешает работу транзистора $VT8$, который активируется непосредственно входным сигналом и подаёт на выход C потенциал отрицательной шины питания $-E$ или логическую «-1». При логической «-1» на входе транзистор $VT8$ закрывается, но открывается транзистор $VT7$, подавая на выход потенциал $+E$ или логическую «1».

На рис. 8 приведена принципиальная электрическая схема элемента правой троичной циклической инверсии и осциллограммы его выходного и пилообразного входного сигналов.

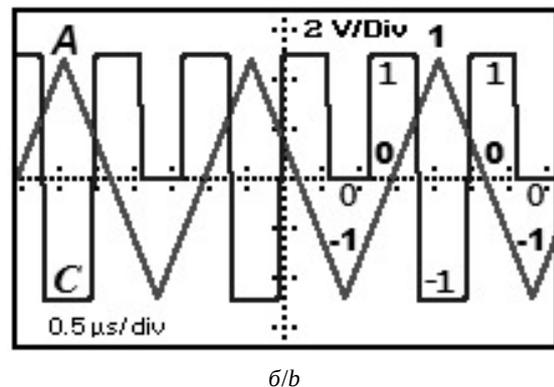
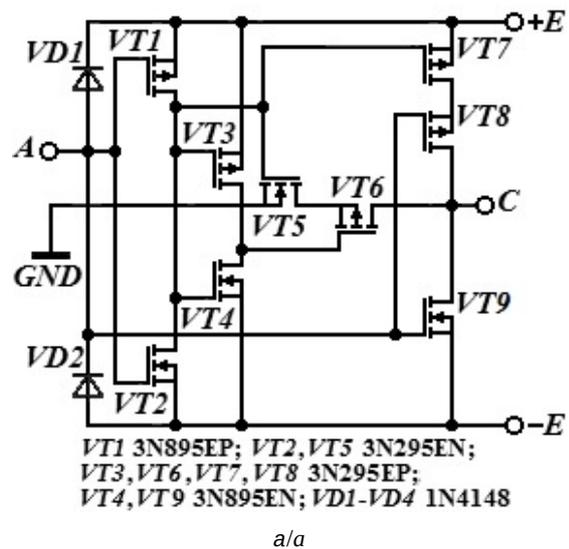


Рис. 8. Принципиальная электрическая схема логического элемента троичной правой циклической инверсии (а) и осциллограммы входного и выходного сигналов (б)
Fig. 8. Ternary rotate up cycle logic element circuit diagram (a) and its input and output signal waveforms (b)



Транзисторы $VT1$ и $VT2$ в этой схеме образуют декодер троичного логического состояния «–1» на входе А. Транзисторы $VT3$ и $VT4$ образуют инвертор этого сигнала. Остальная часть схемы работает фактически зеркально симметрично рассмотренной ранее схеме элемента троичной левой циклической инверсии, что и отражают осциллограммы сигналов на входе и выходе элемента, представленные на рис. 8, б.

Заключение

Аналоговые модели троичных логических элементов позволяют объективно исследовать особенности работы реальных устройств на их основе: процессы переключения, характерные задержки, нагрузочную способность, взаимодействие логических элементов и их сложную динамику в многоэлементных цифровых схемах.

К сожалению, ограниченный объём журнальной статьи не позволяет развёрнуто продемонстрировать все особенности схемотехники троичных логических элементов, нюансы их разработки и проектирования логических схем на их основе. Поэтому заинтересованный читатель может более подробно ознакомиться с элементами троичной логики по адресу: <https://sgu-wap.narod.ru/Ternary/index.html>. Рассмотренные в статье рабочие модели троичных логических элементов доступны по следующей ссылке: <https://sgu-wap.narod.ru/Ternary/Download/index.html>.

Список литературы

1. Intel® Core™ i7-8086K Processor. URL: <https://ark.intel.com/content/www/us/en/ark/products/148263/intel-core-i7-8086k-processor-12m-cache-up-to-5-00ghz.html> (дата обращения: 30.06.2024)
2. Intel® Core™ i9-10900K Processor. URL: <https://www.intel.com/content/www/us/en/products/sku/199332/intel-core-i910900k-processor-20m-cache-up-to-5-30ghz/specifications.html> (дата обращения: 30.06.2024).
3. Intel® Core™ i9-13900KS Processor. URL: <https://ark.intel.com/content/www/us/en/ark/products/232167/intel-core-i9-13900ks-processor-36m-cache-up-to-6-00ghz.html> (дата обращения: 30.06.2024).
4. Семёнов А. А., Усанов Д. А., Дронкин А. С. Активный аппаратный стек процессора // Известия высших учебных заведений. Электроника. 2019. Т. 24, № 3. С. 219–229.
5. Световые транзисторы спасут закон Мура. URL: <https://nplus1.ru/news/2016/02/04/moor> (дата обращения: 30.06.2024).
6. IBM сообщила о прорыве в создании транзисторов на углеродных нанотрубках. URL: <https://nplus1.ru/news/2015/10/05/ibm-breakthrough-nanotubes> (дата обращения: 30.06.2024).
7. Брусенцов Н. П. Блуждание в трех соснах. (Приключения диалектики в информатике). М. : ООО «SvR-Аргус», 2000. 16 с.
8. Брусенцов Н. П., Маслов С. П., Розин В. П., Тищулина А. М. Малая цифровая вычислительная машина «Сетунь». М. : Изд-во Моск. ун-та, 1965. 145 с.
9. Семёнов А. А., Дронкин А. С. Счетные триггеры и счетчики на элементах троичной логики // Взаимодействие сверхвысокочастотного, терагерцового и оптического излучения с полупроводниковыми микро- и наноструктурами, метаматериалами и биообъектами : сборник статей одиннадцатой Всероссийской научной школы-семинара / под ред. проф. Ал. В. Скрипаля. Саратов : Изд-во «Саратовский источник», 2024. С. 82–88.
10. Heung A., Mouftah H. T. Depletion/Enhancement CMOS For a Low Power Family of Three-Valued Logic Circuits // IEEE Journal of Solid-state Circuits. 1985. Vol. SC-20, № 2 April. P. 609–616.
11. Three-Valued Logic (Применение трехзначной логики). URL: <https://trilog.narod.ru/index.htm> (дата обращения: 10.10.2024).
12. Lofgren V. Tunguska the ternary computer emulator. URL: <https://tunguska.sourceforge.net/about.html> (дата обращения: 30.06.2024).
13. Суперкомпьютер или Троичные компьютерные технологии. URL: <https://zen.yandex.ru/media/id/5a6acb19dcaf8e1790630902/superkompiuter-ili-troichnye-kompiuternye-tehnologii-5efe1d0a45fdb03364b90d8> (дата обращения: 30.06.2024).
14. Новая попытка создания троичного компьютера. URL: <https://aftershock.news/?q=node/853441&page=1&ysclid=l8q45pv3xp720647205> (дата обращения: 30.06.2024).
15. Микропроцессор «ТАЙФУН». Российский экспериментальный 7-трайтовый микропроцессор, с собственной системой команд и IDE. URL: <https://www.turphoon.su> (дата обращения: 30.06.2024).
16. Harrison L. An introduction to Depletion-mode MOSFETs. URL: <https://www.aldinc.com/pdf/IntroDepletionModeMOSFET.pdf> (дата обращения: 30.06.2024).
17. Дронкин А. С., Семёнов А. А. Модели троичных логических элементов и их применение в схемотехнике процессоров // Взаимодействие сверхвысокочастотного, терагерцового и оптического излучения с полупроводниковыми микро- и наноструктурами, метаматериалами и биообъектами : сборник статей восьмой Всероссийской научной школы-семинара / под ред. проф. Ал. В. Скрипаля. Саратов : Изд-во «Саратовский источник», 2021. С. 31–36.
18. Electronic Workbench 5.12 for Windows. URL: <https://electronicworkbenchewb.com/electronic-workbench-download/> (дата обращения: 30.06.2024).
19. Хоровиц П., Хилл У. Искусство схемотехники : в 2 т. / пер. с англ. под ред. М. В. Гальперина. М. : Мир, 1983. Т. 1. 598 с.
20. Jones D. W. Fast Ternary Addition. URL: <https://homepage.divms.uiowa.edu/~jones/ternary/arith.shtml> (дата обращения: 30.06.2024).



References

1. Intel® Core™ i7-8086K Processor. Available at: <https://ark.intel.com/content/www/us/en/ark/products/148263/intel-core-i7-8086k-processor-12m-cache-up-to-5-00-ghz.html> (accessed June 30, 2024).
2. Intel® Core™ i9-10900K Processor. Available at: <https://www.intel.com/content/www/us/en/products/sku/199332/intel-core-i910900k-processor-20m-cache-up-to-5-30-ghz/specifications.html> (accessed June 30, 2024).
3. Intel® Core™ i9-13900KS Processor. Available at: <https://ark.intel.com/content/www/us/en/ark/products/232167/intel-core-i9-13900ks-processor-36m-cache-up-to-6-00-ghz.html> (accessed June 30, 2024).
4. Semenov A. A., Usanov D. A., Dronkin A. S. Processor Active Hardware Stack. *Izvestiya vysshikh uchebnykh zavedenii. Elektronika* [Proceedings of Universities. Electronics], 2019, vol. 24, no. 3, pp. 219–229 (in Russian).
5. Svetovye tranzistory spasut zakon Mura (Light-emitting transistors will save Moore's law). Available at: <https://nplus1.ru/news/2016/02/04/moor> (accessed June 30, 2024) (in Russian).
6. IBM soobshchila o proryve v sozdanii tranzistorov na uglernodnykh nanotrubkakh (IBM has announced a breakthrough in creating transistors using carbon nanotubes). Available at: <https://nplus1.ru/news/2015/10/05/ibm-breakthrough-nanotubes> (accessed June 30, 2024) (in Russian).
7. Brusentsov N. P. *Bluzhdanie v trekh sosnakh. (Priklyucheniya dialektiki v informatike)* [Wandering in Three Pines. (Adventures of Dialectics in Computer Science)]. Moscow, LLC "SvR-Argus", 2000. 16 p. (in Russian).
8. Brusentsov N. P., Maslov S. P., Rozin V. P., Tishulina A. M. *Malaya tsifrovaya vychislitel'naya mashina "Setun"* [Small digital computer "Setun"]. Moscow, Moscow University Press, 1965. 145 p. (in Russian).
9. Semenov A. A., Dronkin A. S. Counting triggers and counters on ternary logic elements. *Vzaimodeistvie sverkhvysokochastotnogo, teragertsovogo i opticheskogo izlucheniya s poluprovodnikovymi mikro- i nanostrukturami, metamaterialami i bioob"ektami : sbornik statei vos'moi Vserossiiskoi nauchnoi shkoly-seminara. Pod red. prof. Al. V. Skripalya* [Skrupal Al. V., ed. Interaction of microwave, terahertz and optical radiation with semiconductor micro- and nanostructures, metamaterials and bioobjects: Collection of articles from the Eleventh All-Russian scientific school-seminar]. Saratov, Izdatelstvo "Saratovskiy Istochnik", 2024, pp. 82–88 (in Russian).
10. Heung A., Mouftah H. T. Depletion/Enhancement CMOS for a Low Power Family of Three-Valued Logic Circuits. *IEEE Journal of Solid-state Circuits*, 1985, vol. SC-20, no. 2, April, pp. 609–616.
11. Three-Valued Logic. *Primenenie trekhznachnoi logiki*. (Application of three-valued logic). Available at: <https://trilog.narod.ru/index.htm> (accessed October 10, 2024) (in Russian).
12. Lofgren V. *Tunguska the ternary computer emulator*. Available at: <https://tunguska.sourceforge.net/about.html> (accessed June 30, 2024).
13. *Superkomp'yuter ili Troichnye komp'yuternye tekhnologii* (Supercomputer or Ternary computer technologies). Available at: <https://zen.yandex.ru/media/id/5a6acb19dcaf8e1790630902/superkompiuter-ili-troichnye-kompiuternye-tehnologii-5efe1d0a45fdbe03364b90d8> (accessed June 30, 2024) (in Russian).
14. *Novaya popytka sozdaniya troichnogo komp'yutera* (A new attempt to create a ternary computer). Available at: <https://aftershock.news/?q=node/853441&page=1&ysclid=l8q45pv3xp720647205> (accessed June 30, 2024) (in Russian).
15. *Mikroprotssessor "TAIFUN". Rossiiskii eksperimental'nyi 7-traitovyi mikroprotssessor, s sobstvennoi sistemoi komand i IDE* (Microprocessor "TYPHOON". Russian experimental 7-trite microprocessor, with its own command system and IDE). Available at: <https://www.typhoon.su> (accessed June 30, 2024) (in Russian).
16. Harrison L. *An introduction to Depletion-mode MOSFETs*. Available at: <https://www.aldinc.com/pdf/IntroDepletionModeMOSFET.pdf> (accessed June 30, 2024).
17. Dronkin A. S., Semenov A. A. Models of ternary logic elements and their application in processor circuitry. *Vzaimodeistvie sverkhvysokochastotnogo, teragertsovogo i opticheskogo izlucheniya s poluprovodnikovymi mikro- i nanostrukturami, metamaterialami i bioob"ektami : sbornik statei vos'moi Vserossiiskoi nauchnoi shkoly-seminara. Pod red. prof. Al. V. Skripalya* [Skrupal Al. V., ed. Interaction of microwave, terahertz and optical radiation with semiconductor micro- and nanostructures, metamaterials and bioobjects: Collection of articles from the Eighth All-Russian scientific school-seminar]. Saratov, Izdatelstvo Saratovskiy istochnik, 2021, pp. 31–36 (in Russian).
18. *Electronic Workbench 5.12 for Windows*. Available at: <https://electronicworkbenchwb.com/electronic-workbench-download/> (accessed June 30, 2024).
19. Horowitz P., Hill W. *The Art of Electronics*. Cambridge, New York, Cambridge University Press, 1980. 716 p. (Russ. ed.: Moscow, Mir, 1983. Vol. 1. 598 p.).
20. Jones D. W. *Fast Ternary Addition*. Available at: <https://homepage.divms.uiowa.edu/~jones/ternary/arith.shtml> (accessed June 30, 2024).

Поступила в редакцию 04.07.2024; одобрена после рецензирования 01.09.2024; принята к публикации 20.09.2024
The article was submitted 04.07.2024; approved after reviewing 01.09.2024; accepted for publication 20.09.2024